

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年10月 9日

出願番号

Application Number:

特願2002-295629

[ST.10/C]:

[JP2002-295629]

出願人

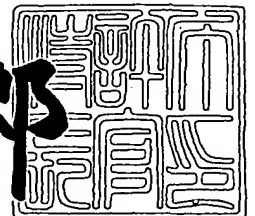
Applicant(s):

株式会社東芝

2003年 3月 7日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3014100

【書類名】 特許願

【整理番号】 46B0280011

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置

【請求項の数】 41

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 河野 孝弘

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 緒方 健一

【発明者】

【住所又は居所】 兵庫県揖保郡太子町鵜300番地 株式会社東芝 姫路  
半導体工場内

【氏名】 米田 辰雄

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【先の出願に基づく優先権主張】

【出願番号】 特願2002-213331

【出願日】 平成14年 7月23日

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0016857

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 の半導体領域、第 2 導電型のベース領域、及び第 1 導電型の複数の第 2 の半導体領域を含む半導体層と、

前記半導体層上に第 1 の絶縁膜を介して形成されたゲート配線と、

前記複数の第 2 の半導体領域と電氣的に接続されるとともに前記ゲート配線と絶縁され、前記ゲート配線がその間に配置されるように形成され、その上面が前記ゲート配線層の最上層の上面よりも高く形成された複数の主電極部と、

前記主電極部の最上層上に直接接続された接続プレートと、

を具備した半導体装置。

【請求項 2】

前記複数の主電極部の最上層は、前記複数の主電極部に共通の金属層であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記ゲート配線の最上層の表面に形成された第 2 の絶縁膜を更に具備することを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記主電極部は複数の金属層で構成され、前記第 2 の絶縁膜は前記複数の金属層の間に延在していることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記複数の主電極部は前記ゲート配線に対して間隙をもって形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

第 1 導電型の第 1 の半導体領域、第 2 導電型のベース領域、及び第 1 導電型の複数の第 2 の半導体領域が形成されたセル形成領域を含む半導体層と、

前記セル形成領域に形成され、前記第 1 の半導体領域と前記第 2 の半導体領域との導通／非導通を制御する第 1 のゲート電極と、

前記複数の第 2 の半導体領域のそれぞれと電氣的に接続され、前記半導体層上の前記セル形成領域に所定の間隔をもって形成された複数の主電極部と、

前記複数の主電極部間の前記半導体層上に第 1 の絶縁膜を介して形成され、前記第 1 のゲート電極を前記セル形成領域の外周領域へ引き出すゲート配線と、

前記複数の主電極部上に直接接続された第 1 の接続プレートと、  
を具備し、

前記複数の主電極部の最上層の上面は前記ゲート配線の最上層の上面よりも高く形成されたことを特徴とする半導体装置。

【請求項 7】

前記複数の主電極部の最上層は、前記複数の主電極部に共通の金属層であることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

前記ゲート配線の最上層の表面に形成された第 2 の絶縁膜を更に具備することを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記複数の主電極部はそれぞれ、少なくとも第 1 の主電極層と、前記第 1 の主電極層上に形成された第 2 の主電極層とを有し、

前記第 2 の主電極層は前記第 2 の絶縁膜上に延在していることを特徴とする請求項 8 記載の半導体装置。

【請求項 10】

前記ゲート配線は前記セル形成領域の外周領域に延在して形成され、前記セル形成領域の外周領域に延在した前記ゲート配線上に形成された第 2 のゲート電極をさらに具備することを特徴とする請求項 7 に記載の半導体装置。

【請求項 11】

前記第 2 のゲート電極は、前記セル形成領域に延在していることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記外周領域に延在した前記ゲート配線の表面に形成された第 3 の絶縁膜をさらに有し、前記第 3 の絶縁膜は前記セル形成領域に延在し、前記第 2 のゲート電

極は前記セル形成領域では前記第 3 の絶縁膜上に延在していることを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】

前記主電極部は、少なくとも第 1 の主電極層と、前記第 1 の主電極層上に形成された第 2 の主電極層とを有し、

前記第 3 の絶縁膜は前記第 1 の主電極層上に延在することを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 4】

前記第 2 のゲート電極は、前記主電極部の最上層と同じ材質よりなることを特徴とする請求項 1 0 に記載の半導体装置。

【請求項 1 5】

前記セル形成領域の外周領域は、半導体チップの外周部に形成されることを特徴とする請求項 1 0 に記載の半導体装置。

【請求項 1 6】

前記第 2 のゲート電極は、前記半導体チップの外周部の隅部に形成されることを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記複数の主電極部は前記ゲート配線に対して間隙をもって形成されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 1 8】

前記第 2 のゲート電極の上面に直接接続された第 2 の接続プレートと、

前記第 2 の接続プレートに接続されたリードフレームと、

を更に具備することを特徴とする請求項 1 0 に記載の半導体装置。

【請求項 1 9】

前記ゲート配線は、前記半導体層上に形成された第 1 の金属層と、前記第 1 の金属層上に形成された第 2 の金属層を有することを特徴とする請求項 7 に記載の半導体装置。

【請求項 2 0】

前記第 2 の金属層は、A 1 を含むことを特徴とする請求項 1 9 に記載の半導体

装置。

【請求項 2 1】

前記複数の主電極部の最上層及び前記第 1 の接続プレートは、A 1 を含むことを特徴とする請求項 7 に記載の半導体装置。

【請求項 2 2】

前記第 1 の接続プレートはリードフレームに接続されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 2 3】

前記第 1 の接続プレートは、超音波接合により前記複数の主電極部に接続されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 2 4】

第 1 導電型の第 1 の半導体層と、

前記第 1 の半導体層上に形成された第 2 導電型の第 2 の半導体層と、

前記第 2 の半導体層内であって、第 1 のセル形成領域に形成された第 1 導電型の第 1 の半導体領域と、

前記第 2 の半導体層内であって、第 2 のセル形成領域に形成された第 1 導電型の第 2 の半導体領域と、

前記第 1 のセル形成領域に形成され、前記第 1 の半導体領域と前記第 1 の半導体層との導通／非導通を制御する第 1 のゲート電極と、

前記第 2 のセル形成領域に形成され、前記第 2 の半導体領域と前記第 1 の半導体層との導通／非導通を制御する第 2 のゲート電極と、

前記第 1 の半導体領域と電氣的に接続され、前記第 2 の半導体層上の前記第 1 のセル形成領域に形成された第 1 の主電極部と、

前記第 2 の半導体領域と電氣的に接続され、前記第 2 の半導体層上の前記第 2 のセル形成領域に形成された第 2 の主電極部と、

前記第 1 の主電極部と前記第 2 の主電極部との間の前記第 2 の半導体層上に第 1 の絶縁膜を介して形成され、前記第 1 及び第 2 のゲート電極を前記セル形成領域の外周領域へ引き出すゲート配線と、

前記第 1 の主電極部及び第 2 の主電極部上に直接接続された第 1 の接続プレー

トと、

を具備し、

前記第 1 の主電極部の最上層の上面及び前記第 2 の主電極部の最上層の上面は前記ゲート配線の最上層の上面よりも高く形成されたことを特徴とする半導体装置。

【請求項 2 5】

前記第 1 の主電極部の最上層及び前記第 2 の主電極部の最上層は共通の金属層であることを特徴とする請求項 2 4 記載の半導体装置。

【請求項 2 6】

前記ゲート配線の最上層の表面に形成された第 2 の絶縁膜を更に具備することを特徴とする請求項 2 5 に記載の半導体装置。

【請求項 2 7】

前記第 1 の主電極部は少なくとも第 1 の主電極層と、前記第 1 の主電極層上に形成された第 2 の主電極層とを有し、

前記第 2 の主電極層は前記第 2 の絶縁膜上に延在していることを特徴とする請求項 2 6 記載の半導体装置。

【請求項 2 8】

前記ゲート配線は前記セル形成領域の外周領域に延在して形成され、前記セル形成領域の外周領域に延在した前記ゲート配線上に形成された第 3 のゲート電極をさらに具備することを特徴とする請求項 2 5 に記載の半導体装置。

【請求項 2 9】

前記第 3 のゲート電極は、前記セル形成領域に延在していることを特徴とする請求項 2 8 に記載の半導体装置。

【請求項 3 0】

前記外周領域に延在した前記ゲート配線の表面に形成された第 3 の絶縁膜をさらに有し、前記第 3 の絶縁膜は前記セル形成領域に延在し、前記第 3 のゲート電極は前記セル形成領域では前記第 3 の絶縁膜上に延在していることを特徴とする請求項 2 9 に記載の半導体装置。

【請求項 3 1】



前記第 1 の主電極部は、少なくとも第 1 の主電極層と、前記第 1 の主電極層上に形成された第 2 の主電極層とを有し、

前記第 3 の絶縁膜は前記第 1 の主電極層上に延在することを特徴とする請求項 3 0 に記載の半導体装置。

【請求項 3 2】

前記第 3 のゲート電極は、前記第 1 の主電極部の最上層と同じ材質よりなることを特徴とする請求項 2 8 に記載の半導体装置。

【請求項 3 3】

前記セル形成領域の外周領域は、半導体チップの外周部に形成されることを特徴とする請求項 2 8 に記載の半導体装置。

【請求項 3 4】

前記第 3 のゲート電極は、前記半導体チップの外周部の隅部に形成されることを特徴とする請求項 3 3 に記載の半導体装置。

【請求項 3 5】

前記第 1 の主電極部及び前記第 2 の主電極部は前記ゲート配線に対して間隙をもって形成されていることを特徴とする請求項 2 5 に記載の半導体装置。

【請求項 3 6】

前記第 3 のゲート電極の上面に直接接続された第 2 の接続プレートと、  
前記第 2 の接続プレートに接続されたリードフレームと、  
を更に具備することを特徴とする請求項 2 8 に記載の半導体装置。

【請求項 3 7】

前記ゲート配線は、前記第 2 の半導体層上に形成された第 1 の金属層と、前記第 1 の金属上に形成された第 2 の金属層を有することを特徴とする請求項 2 5 に記載の半導体装置。

【請求項 3 8】

前記第 2 の金属層は、A 1 を含むことを特徴とする請求項 3 7 に記載の半導体装置。

【請求項 3 9】

前記第 1 の主電極部の最上層、前記第 2 の主電極部の最上層、及び前記第 1 の

接続プレートは、A 1 を含むことを特徴とする請求項 2 5 に記載の半導体装置。

【請求項 4 0】

前記第 1 の接続プレートはリードフレームに接続されていることを特徴とする請求項 2 5 に記載の半導体装置。

【請求項 4 1】

前記第 1 の接続プレートは、超音波接合により前記第 1 の主電極部及び前記第 2 の主電極部に接続されていることを特徴とする請求項 2 5 に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、M O S 型パワーデバイス等のセルを有する半導体チップを組み込んだ半導体装置に関する。

【0 0 0 2】

【従来の技術】

近年、縦型の M O S F E T 等のパワーデバイスでは、微細化が要求されるとともに、デバイスを含めた半導体装置全体の内部抵抗値（オン抵抗等）を低抵抗化することが強く求められている。図 2 0 に、従来の半導体装置の 1 つの例を示す。ここで、2 0 0 1 は半導体基板、2 0 0 2 はソース電極、2 0 0 3 はリードフレーム、2 0 0 4 はソースワイヤ、2 0 0 5 はゲートワイヤ、2 0 0 6 はゲート配線を示している。

【0 0 0 3】

半導体チップ表面には、引き出し配線領域とセル形成領域があり、前記セル形成領域には例えば M O S F E T などのセルが形成されている。前記ソース電極 2 0 0 2 と前記リードフレーム 2 0 0 3 は、複数本の前記ソースワイヤ 2 0 0 4 によって接続されている。ソース電極は、ゲート電極よりも多くの電流を流す必要があるが、ワイヤによって接続されているため、電流経路の断面積が小さく、抵抗値が高くなっている。この抵抗値を低減するため、ほぼ板状の導電性プレートを介してソース電極とリードフレームを接続した構造にすることにより、低オン

抵抗化するという技術がある。以下、このほぼ板状の導電性プレートをストラップという。また、ストラップを介してソース電極とリードフレームを接続した構造をストラップ構造という。例えば、特許文献 1 には半導体チップ表面の電極上に、接着剤として A g ペーストを介して C u のストラップを接続する方法が記載されている。

## 【 0 0 0 4 】

この方法は、条件によって以下のような問題を内在している。すなわち、一般的な半導体装置の信頼性試験の 1 つである、温度差が激しく、かつ急激に温度変化する環境下に半導体装置を配置する温度サイクル試験を複数回行うと、電極部材、接着材、ストラップの熱膨張係数がそれぞれ異なるため、界面付近においてクラックなどの不良が発生し、半導体装置の寿命が短くなるという問題が生じる。

## 【 0 0 0 5 】

この問題を解決する技術として、新たに、ストラップを半導体チップ表面の電極に、直接、超音波接合によって接続する方法も提案されている。図 2 1 は、従来の半導体装置の要部断面図であり、ゲート配線などの引き出し配線領域を示している。図 2 0 の A - A ' に対応する領域であり、引き出し配線領域のうち、ソース電極には含まれた第 1 の引き出し配線領域の断面図である。M O S F E T などのデバイスは、他のセル形成領域に形成されており、半導体基板 2 1 0 1 上に形成された P 型ベース領域 2 1 0 2 の表面に選択的に N 型ソース領域が形成されている（図示しない）。前記 P 型ベース領域 2 1 0 2 上に第 1 の絶縁膜 2 1 0 3 が形成されている。前記第 1 の絶縁膜 2 1 0 3 上の一部に、第 1 のゲート配線 2 1 0 4 が形成され、前記第 1 のゲート配線 2 1 0 4 は、他のセル形成領域に形成された M O S F E T などのゲート電極（図示しない）と接続されている。

## 【 0 0 0 6 】

また、前記第 1 のゲート配線 2 1 0 4 の側面及び上面の一部は、前記ソース電極 2 1 0 5 と絶縁するため、第 1 の層間絶縁膜 2 1 0 6 が形成されている。前記第 1 の層間絶縁膜 2 1 0 6 が形成されていない前記第 1 のゲート配線 2 1 0 4 の上面には、A l によって形成された第 2 のゲート配線 2 1 0 7 が形成されている。

。前記P型ベース領域2102及び 前記N型ソース領域上にはソース電極2105が形成されている。前記第2のゲート配線2107の上端は、前記ソース電極2105の上端よりも高く形成されている。前記ソース電極2105上の一部及び前記第2のゲート配線2107上には、ポリイミドなどの保護膜2108が形成されている。前記保護膜2108は、前記第2のゲート配線2107と上部に形成するストラップの短絡や、前記第2のゲート配線2107と前記ソース電極2105の短絡、A1の腐食等を防止するために、形成されている。前記ソース電極2105は超音波接合によって、ストラップ2109と接続される。

## 【0007】

また、図22は、従来の半導体装置の要部断面図であり、ゲート配線などの他の引き出し配線領域を示している。図20のB-B'に対応する領域の断面図であり、引き出し配線領域のうち、セル形成領域の外周領域である。ゲートワイヤを介してゲート電極とリードフレームを接続する第2の引き出し配線領域の断面図である。

## 【0008】

半導体基板2201上に第1の絶縁膜2202が形成されている。前記第1の絶縁膜2202上の一部に、第1のゲート配線2203が形成され、前記第1のゲート配線2203の側面及び上面の一部は、第1の層間絶縁膜2204が形成されている。前記第1の層間絶縁膜2204が形成されていない前記第1のゲート配線2203の上面には、A1によって形成された第2のゲート配線2205が形成され、前記第2のゲート配線2205の端部は、前記第1の絶縁膜2202上に延在して形成されている。前記第1の絶縁膜2202上に延在して形成されている配線部分は、ゲート電極2207として、用いられる。前記ソース電極2206は、前記ゲート電極2207と離間して形成されており、前記ソース電極2206上の一部及び前記ゲート電極2207上の一部に、前記ゲート電極2207と前記ソース電極2206の短絡やA1の腐食を防止するために、ポリイミドなどの保護膜2208が形成されている。前記ソース電極2206は超音波接合によって、ストラップと接続され、前記ゲート電極2207は、ゲートワイヤと接続される（図示しない）。前記半導体基板2201の外周縁の表面領域に

は、ストッパ領域 2 2 0 9 が形成されている。

【 0 0 0 9 】

図 2 3 乃至図 2 5 に、図 2 1 及び図 2 2 に示した第 1 及び第 2 の引き出し配線領域の半導体装置の製造方法を示す。セル形成領域については、省略する。

【 0 0 1 0 】

図 2 3 に示すように、第 1 の引き出し配線領域の半導体基板 2 3 0 1 上に P 型ベース領域 2 3 0 2 を形成する。続いて、第 1 及び第 2 の引き出し配線領域の、前記 P 型ベース領域 2 3 0 2 上及び前記半導体基板 2 3 0 1 上に、第 1 の絶縁膜 2 3 0 3 a, 2 3 0 3 b をそれぞれ形成する。前記第 1 の絶縁膜 2 3 0 3 a, 2 3 0 3 b 上にポリシリコンを堆積させて、エッチングし、第 1 及び第 2 の引き出し配線領域の前記第 1 の絶縁膜 2 3 0 3 a, 2 3 0 3 b の一部に、第 1 のゲート配線 2 3 0 4 a, 2 3 0 4 b をそれぞれ形成する。前記第 1 のゲート配線 2 3 0 4 a, 2 3 0 4 b の上面及び側面にシリコン窒化膜を形成し、前記シリコン窒化膜をエッチングして、前記第 1 のゲート配線 2 3 0 4 a, 2 3 0 4 b の上面の一部が露出するような溝部を有する第 1 の層間絶縁膜 2 3 0 5 a, 2 3 0 5 b をそれぞれ形成する。

【 0 0 1 1 】

続いて、A 1 を堆積してエッチングし、第 1 の引き出し配線領域に第 2 のゲート配線 2 3 0 6 a を形成し、第 2 の引き出し配線領域に第 2 のゲート配線 2 3 0 6 b と一体化したゲート電極 2 3 0 7 を形成する。セル形成領域にはソース電極 2 3 0 8 を形成する（ソース電極は一部のみを図示する）。前記第 2 の引き出し配線領域に形成されたゲート電極 2 3 0 7 は、前記第 1 の絶縁膜 2 3 0 3 b 上に形成されている。また、前記ソース電極 2 3 0 8 は、前記第 2 のゲート配線 2 3 0 6 a 及び前記ゲート電極 2 3 0 7 と離間して形成されている。前記第 2 の引き出し配線領域の外周縁の表面領域には、ストッパ領域 2 3 0 9 が形成されている。

【 0 0 1 2 】

次に、図 2 4 に示すように、第 1 及び第 2 の引き出し配線領域にポリイミド 3 1 0 を堆積させる。

## 【 0 0 1 3 】

次に、レジスト膜を塗布し、レジストパターンを形成して、図 2 5 に示すように、前記ゲート配線を覆うような保護膜と前記ゲート電極の上面の一部を露出させるような保護膜 2 3 1 1 を形成する。続いて、前記セル形成領域上と第 1 の引き出し配線領域上にストラップを形成し（図示しない）、第 2 の引き出し配線領域に形成された前記ゲート電極 2 3 0 7 上にゲートワイヤを形成し（図示しない）、リードフレームに接続する。

## 【 0 0 1 4 】

## 【特許文献 1】

特開 2 0 0 0 - 1 1 4 4 4 5 号公報

## 【 0 0 1 5 】

## 【発明が解決しようとする課題】

しかしながら、超音波接合においては、熱に対する信頼性は飛躍的に向上するが、ストラップの所定の領域に、選択的に超音波をあててストラップを接合するため、突出している第 1 の引き出し配線領域のゲート配線上の領域に超音波が印加されると、前記ゲート配線上の保護膜に衝撃が大きくかかる。そこで、突出したゲート配線がつぶれ、ゲート配線及びソース電極が変形し、ゲート配線とソース電極がショートしたり、ゲート配線上に形成されている保護膜が劣化し、ストラップとゲート配線がショートするという問題が生じることがある。上部に突出した低抵抗な上層のゲート配線を形成しなければ上記した問題は発生しないが、上層のゲート配線の存在は、内部抵抗に大きく影響し、例えば上層のゲート配線を形成しないと、 $1.5\Omega$  程度の抵抗値が、約 2 倍の  $3\Omega$  にまで上昇するという問題がある。近年の、特に同期整流用途で用いられるパワー MOSFET では、抵抗値の上昇は変換効率を低下させるため、前記用途には使用できなくなる。

## 【 0 0 1 6 】

本発明は上記した問題点を解決すべくなされたもので、ストラップを主電極に接続する際に、内部抵抗の上昇を招くことなく、ショート不良を低減することができる半導体装置を提供することを目的とする。

## 【 0 0 1 7 】

【課題を解決するための手段】

上記した目的を達成するための本発明の半導体装置の一形態は、

第 1 導電型の第 1 の半導体領域、第 2 導電型のベース領域、及び第 1 導電型の複数の第 2 の半導体領域を含む半導体層と、

前記半導体層上に第 1 の絶縁膜を介して形成されたゲート配線と、

前記複数の第 2 の半導体領域と電氣的に接続されるとともに前記ゲート配線と絶縁され、前記ゲート配線がその間に配置されるように形成され、その上面が前記ゲート配線層の最上層の上面よりも高く形成された複数の主電極部と、

前記主電極部の最上層上に直接接続された接続プレートと、

を具備したことを特徴とする。

【0018】

また、上記した目的を達成するための本発明の半導体装置の一形態は、第 1 導電型の第 1 の半導体領域、第 2 導電型のベース領域、及び第 1 導電型の複数の第 2 の半導体領域が形成されたセル形成領域を含む半導体層と、

前記セル形成領域に形成され、前記第 1 の半導体領域と前記第 2 の半導体領域との導通／非導通を制御する第 1 のゲート電極と、

前記複数の第 2 の半導体領域のそれぞれと電氣的に接続され、前記半導体層上の前記セル形成領域に所定の間隔をもって形成された複数の主電極部と、

前記複数の主電極部間の前記半導体層上に第 1 の絶縁膜を介して形成され、前記第 1 のゲート電極を前記セル形成領域の外周領域へ引き出すゲート配線と、

前記複数の主電極部上に直接接続された第 1 の接続プレートと、  
を具備し、

前記複数の主電極部の最上層の上面は前記ゲート配線の最上層の上面よりも高く形成されたことを特徴とする。

【0019】

上記した本発明の一形態によれば、接続プレートを主電極に直接接続する際のショート不良を低減することができる。

【0020】

【発明の実施の形態】

以下に、本発明の実施の形態について詳細に説明する。

(第1の実施の形態)

まず、第1の実施の形態の半導体装置について、図1乃至図8を参照して説明する。

【0021】

本実施の形態では、MOSFET、IGBTを例に説明する。図1は、図8のA-A'における断面図である。図1に示したように、例えば、N<sup>-</sup>型の半導体基板101上に形成され、セル形成領域には含まれている引き出し配線領域のP型ベース領域102上に、第1の絶縁膜103が形成されている。前記第1の絶縁膜103上には、第1のゲート配線104が形成されている。

【0022】

セル形成領域の前記P型ベース領域102には、前記第1のゲート配線104と直角及び平行に溝105が形成されている。前記溝105は、オフセットメッシュトレンチ構造を有している。なお、図1は、前記溝105が前記第1のゲート配線104と平行に形成されている領域の要部断面図である。前記溝105には、ゲート絶縁膜106が形成され、前記ゲート絶縁膜106に接するようトレンチゲート電極107が前記溝105に埋め込み形成されている。前記溝105の周囲の前記P型ベース領域102の表面には、N型ソース領域108が形成されている。引き出し配線領域側の前記溝105の周囲には、前記N型ソース領域108は形成されていない。

【0023】

前記セル形成領域に形成されるセルは、前記半導体基板101の下にN<sup>+</sup>型のドレイン領域が形成され、前記N<sup>+</sup>型のドレイン領域に接するようにドレイン電極が形成されていればMOSFETであり、前記半導体基板101の下にP<sup>+</sup>型のコレクタ領域が形成され、前記P<sup>+</sup>型のコレクタ領域に接するようにコレクタ電極が形成されていればIGBT (Insulated Gate Bipolar Transistor) として機能する。前記セル形成領域に形成されるセルは、特にこれらに限定されるものではない。また、セルの構造は、トレンチ型に限定されず、プレーナ型でもよい。



## 【 0 0 2 4 】

前記第1のゲート配線104及び前記トレンチゲート電極107は、ポリシリコンなどの導電性材料によって形成されており、他の領域で相互に電氣的に接続されている（図示しない）。

## 【 0 0 2 5 】

前記第1のゲート配線104の側面及び上面の一部は、UDO（Undoped Oxide），BPSGなどの第1の層間絶縁膜109が形成されている。前記第1の層間絶縁膜109が形成されていない前記第1のゲート配線104の上部には、Alなどの導電性材料によって形成された第2のゲート配線110が形成され、前記第1のゲート配線104及び前記トレンチゲート電極107の引き出し配線として用いられている。前記第1の絶縁膜103と前記第1の層間絶縁膜は、同じ材料の絶縁膜で一体化して形成されていてもかまわない。前記トレンチゲート電極107上には、第2の層間絶縁膜111が形成されている。前記第2の層間絶縁膜111は、前記溝105内に完全に埋め込まれていてもかまわない。

## 【 0 0 2 6 】

前記P型ベース領域102上及び前記N型ソース領域108上にはAlなどの第1のソース電極112が形成されている。前記第1のソース電極112は、面積が大きくなるよう形成され、低抵抗化をはかっている。また、前記第1のソース電極112は、前記第1の層間絶縁膜109によって前記第1のゲート配線104と絶縁されるように形成され、また、前記第2の層間絶縁膜111によって前記トレンチゲート電極107と絶縁されるよう形成されている。前記第1のソース電極112の上面の一部、前記第2のゲート配線110の側面及び上面には、ほぼ板状の接続プレート（ここでは、ストラップという）を超音波接合によって接続した際、前記第2のゲート配線110がストラップとショートしたり、前記第1のソース電極112が前記第2のゲート配線110とショートしたりするのを防ぐために、第2の絶縁膜113が形成されている。

## 【 0 0 2 7 】

ここで、前記第2の絶縁膜113は、前記第1のソース電極112の上面の一

部にも形成されているが、形成されていなくてもかまわない。しかし、このように前記第1のソース電極112の上面の一部にも絶縁膜を延在して形成することによって、パターニングの際の合わせずれによるショート不良を防止することができ、歩留まりよく信頼性の高い素子を製造することができる。前記第2の絶縁膜113は、シリコン酸化膜、シリコン窒化膜、或いはその積層膜によって構成されている。前記第2の絶縁膜113は、上部に電極層を形成するため、ある程度、硬度のある絶縁膜が好ましい。また、厚さは、 $2\mu\text{m}\sim 4\mu\text{m}$ が好ましい。

## 【0028】

前記第1のソース電極112上、及び前記第1のソース電極112の上に形成されている第2の絶縁膜113上には、A1などの第2のソース電極114が形成されている。前記第2のゲート配線110と前記第2のソース電極114は間隙110aを持って配置されている。前記第2のソース電極114は、前記N型ソース領域108上の第1のソース電極112の厚さよりも厚く形成されている。

## 【0029】

また、第1のソース電極112及び第2のソース電極114を同じ導電性材料を用いて形成することによって、異種材料の界面における変形などの劣化や抵抗の増加を抑止することができる。

## 【0030】

また、本実施の形態では、前記第2のソース電極114は、その上端が前記第2のゲート配線110の上端よりも高くなるように形成されている。前記第2のソース電極114は、その上端が前記第2のゲート配線110上の前記第2の絶縁膜113の上端とほぼ同じであってもかまわない。しかし、前記第2のソース電極114は、その上端が前記第2のゲート配線110上の前記第2の絶縁膜113の上端より高く形成されている方が好ましい。

## 【0031】

前記第2のソース電極114上には、前記第2のソース電極114に接続するストラップ115が形成されている。前記ストラップ115は、例えばA1によって構成されている接続プレートである。前記ストラップ115は、例えば外部

への接続を行うリードフレーム（図示しない）に接続される。

#### 【 0 0 3 2 】

次に、図 2 乃至図 4 を用いて、本実施の形態に記載した半導体装置のゲート配線などの第 1 の引き出し配線領域の製造方法について説明する。

#### 【 0 0 3 3 】

例えば、N<sup>-</sup>型の半導体基板 2 0 1 上に形成された P 型ベース領域 2 0 2 の表面に N 型不純物を選択的にイオン注入して熱拡散を行い、セル形成領域の所定の領域に N 型ソース領域を形成する（図示しない）。次に、図 2 に示すように、前記 P 型ベース領域 2 0 2 上に、第 1 の絶縁膜 2 0 3 を形成する。前記第 1 の絶縁膜 2 0 3 上の一部に、ポリシリコンなどの導電性材料を用いて第 1 のゲート配線 2 0 4 を形成する。前記第 1 のゲート配線 2 0 4 は、トレンチ MOSFET などのセル形成領域に形成されたトレンチゲート電極（図示しない）と接続されている。前記第 1 の絶縁膜 2 0 3 上の前記第 1 のゲート配線 2 0 4 の側面及び上面に、第 1 の層間絶縁膜 2 0 5 を形成する。

#### 【 0 0 3 4 】

続いて、前記第 1 の層間絶縁膜 2 0 5 に、前記第 1 のゲート配線 2 0 4 の上面が露出するような溝部を形成する。次に、少なくとも前記溝部を埋めるよう形成し、前記第 1 のゲート配線 2 0 4 と電氣的に接続される第 2 のゲート配線 2 0 6 を形成する。前記第 2 のゲート配線 2 0 6 は、Al などの導電性材料によって形成されており、引き出し配線として用いられている。次に、前記 P 型ベース領域 2 0 2 上及び前記 N 型ソース領域（図示しない）上に、第 1 のソース電極 2 0 7 を形成する。

#### 【 0 0 3 5 】

次に、図 3 に示すように、前記第 1 のソース電極 2 0 7 の一部分上及び前記第 2 のゲート配線 2 0 6 上面及び側面を覆うように、シリコン酸化膜やシリコン窒化膜などの第 2 の絶縁膜 2 0 8 を形成する。

#### 【 0 0 3 6 】

次に、図 4 に示すように、前記第 2 の絶縁膜 2 0 8 上にレジスト膜 2 0 9 を塗布し、パターニングを行い、前記第 2 のゲート配線 2 0 6 上及び前記第 1 の層間

絶縁膜 2 0 5 上に第 2 の絶縁膜 2 0 8 のパターンを形成する。

【 0 0 3 7 】

次に、図 5 に示すように、前記レジスト膜 2 0 9 をアッシングし、一部が露出した前記第 1 のソース電極 2 0 7 上及び前記第 2 の絶縁膜 2 0 8 上に第 2 のソース電極 2 1 0 を形成する。

【 0 0 3 8 】

次に、図 6 に示すように、前記第 2 のソース電極 2 1 0 をエッチングし、前記第 2 のゲート配線 2 0 6 上の前記第 2 の絶縁膜 2 0 8 と、前記第 1 のソース電極 2 0 7 上の前記第 2 の絶縁膜 2 0 8 の一部とが露出するような間隙 2 0 6 a を形成する。前記第 2 のソース電極 2 1 0 の上面は前記第 2 のゲート配線 2 0 6 の上面よりも高く形成されている。

【 0 0 3 9 】

次に、図 7 に示すように、第 2 のソース電極 2 1 0 の上にストラップ 2 1 1 を直接接続する。接続は超音波接合によって行われる。前記ストラップ 2 1 1 は例えば A 1 によって構成されている。

【 0 0 4 0 】

図 8 に本実施の形態の半導体装置の平面図を示す。ここで、8 0 1 は半導体基板、8 0 2 はリードフレーム、8 0 3 はストラップ、8 0 4 はゲートワイヤ、8 0 5 はゲート配線を示している。8 0 6 は、超音波の印加領域である。また、図 9 は、図 8 の C - C ' 断面における概略を示す要部断面図である。

【 0 0 4 1 】

このように、ゲート配線の上端よりもソース電極の上端の方が高くなるよう形成されているため、超音波接合によってストラップをソース電極に接続する際に、ゲート配線に形成された絶縁膜にかかる衝撃を低減することが可能となる。すなわち、ゲート配線がつぶれてソース電極側へ変形し、ゲート配線とソース電極がショートしたり、ゲート配線上に形成されている絶縁膜が劣化し、ストラップとゲート配線がショートすることを抑止することができ、内部抵抗の上昇を招くことなく、ショート不良をなくすることが可能となる。

【 0 0 4 2 】

前記第2のソース電極は、前記N型ソース領域上の第1のソース電極の厚さよりも厚く形成されているが、特にこれに限定しない。ストラップを第2のソース電極上に接続する際、その衝撃を吸収するクッション材として、厚く形成されている方の電極に、より力が加わる。第1のソース電極を厚く形成すると、ストラップを第2のソース電極上に接続する際、第1のソース電極がクッション材として働く。したがって、第1のソース電極上及びゲート配線の側壁の絶縁膜にも力が加わり、絶縁膜の劣化につながる。そこで、第2のソース電極を厚く形成した方が、第2のソース電極において衝撃をより多く吸収するため、ストラップを接続する際の衝撃による前記第2の絶縁膜の劣化が生じにくく、好ましい形態であるといえる。

## 【0043】

さらに、第2のソース電極が前記ゲート配線に対して間隙をもって形成されているため、上部にストラップを接続する際に、第2のソース電極の端部に特に衝撃が加わって変形することによるショート不良を、抑止することができる。

## 【0044】

また、前記第2の絶縁膜は前記ゲート配線を覆うように形成されていればよいが、前記第1のソース電極の上面の一部にも延在して形成し、前記第1のソース電極の端部を前記絶縁膜で覆うよう形成することによって、パターニングの際の合わせずれによる不良を防止することができるだけでなく、上部にストラップを接続する際、第1のソース電極の端部に衝撃が加わった場合の、変形によるショート不良を抑止することができる。

## 【0045】

本実施の形態では、トレンチがメッシュ状に形成されたオフセットメッシュトレンチ構造の半導体装置について記載したが、特にこれに限定されず、トレンチがストライプ状に形成されたストライプトレンチ構造の半導体装置であってもよい。

## (第2の実施の形態)

次に、第2の実施の形態の半導体装置について、図10を参照して説明する。

## 【0046】

本実施の形態では、MOSFET、IGBTを例に説明する。図10は、半導体装置の要部断面図である。図10に示したように、例えば、N<sup>-</sup>型の半導体基板1001上に形成された引き出し配線領域のP型ベース領域1002上に、第1の絶縁膜1003が形成されている。前記第1の絶縁膜1003上には、第1のゲート配線1004が形成されている。

## 【0047】

セル形成領域の前記P型ベース領域1002には、前記第1のゲート配線1004と直角にトレンチが形成されている（図示しない）。前記トレンチは、ストライプトレンチ構造を有している。前記溝の周囲の前記P型ベース領域1002の表面には、選択的にN型ソース領域1005が形成されている。なお、図10は、前記N型ソース領域1005上における要部断面図である。図示しないセル形成領域の構造については、前記した第1の実施の形態と同じであるため、説明を省略する。

## 【0048】

前記第1のゲート配線1004は、ポリシリコンなどの導電性材料によって形成されており、セル形成領域のトレンチゲート電極と他の領域でそれぞれ電氣的に接続されている（図示しない）。前記第1のゲート配線1004の側面及び上面の一部には、UDO、BPSSGなどの第1の層間絶縁膜1006が形成されている。前記第1の層間絶縁膜1006が形成されていない前記第1のゲート配線1004の上部には、Alなどの導電性材料によって形成された第2のゲート配線1007が形成され、前記第1のゲート配線1004の引き出し配線として用いられている。前記第1の層間絶縁膜は、同じ材料の絶縁膜で一体化して形成されていてもかまわない。

## 【0049】

前記N型ソース領域1005上にはAlなどの第1のソース電極1008が形成されており、第1のソース電極1008は、第1の層間絶縁膜1006によって前記第1のゲート配線1004と絶縁されるよう形成されている。

## 【0050】

前記第1のソース電極1008の上面の一部、前記第2のゲート配線1007

の側面及び上面には、超音波接合によってストラップを接続した際、前記第2のゲート配線1007がストラップとショートしたり、前記第1のソース電極1008が前記第2のゲート配線1007とショートしたりするのを防ぐために、第2の絶縁膜1009が形成されている。

#### 【0051】

ここで、前記第2の絶縁膜1009は、前記第1のソース電極1008の上面の一部にも形成されているが、形成されていなくてもかまわない。しかし、このように前記第1のソース電極1008の上面の一部にも絶縁膜を延在して形成することによって、パターニングの際の合わせずれによるショート不良を防止することができ、歩留まりよく信頼性の高い素子を製造することができる。前記第2の絶縁膜1009は、シリコン酸化膜、シリコン窒化膜、或いはその積層膜によって構成されている。前記第2の絶縁膜1009は、上部に電極層を形成するため、ある程度、硬度のある絶縁膜が好ましい。また、厚さは $2\mu\text{m}\sim 4\mu\text{m}$ が好ましい。

#### 【0052】

前記第1のソース電極1008上、及び前記第2の絶縁膜1009上には、A1などの第2のソース電極1010が形成されている。前記第2のソース電極1010は、前記N型ソース領域1005上の第1のソース電極1008の厚さよりも厚く形成されている。

#### 【0053】

また、第1のソース電極1008及び第2のソース電極1010を同じ導電性材料を用いて形成することによって、異種材料の界面における変形などの劣化や抵抗の増加を抑止することができる。

#### 【0054】

前記第2のソース電極1010は、前記ゲート配線1007上に形成された前記第2の絶縁膜1009上にも形成されている。前記第2のソース電極1010上には、前記第2のソース電極1010に接続するストラップ1011が形成されている。前記ストラップ1011は、例えばA1によって構成されている接続プレートである。前記ストラップ1011は、例えば外部への接続を行うリード

フレーム（図示しない）に接続される。

【 0 0 5 5 】

このように、本実施の形態では、第2のソース電極に間隙を設けていない。したがって、工程の追加を抑えつつ、超音波接合によってストラップをソース電極に接続する際に、ゲート配線上に形成された絶縁膜にかかる衝撃を低減することが可能となる。すなわち、ゲート配線が変形し、ソース電極とショートすることを抑止することができ、内部抵抗の上昇を招くことなく、ショート不良をなくすることが可能となる。また、ソース電極とストラップの接触面積をより大きく形成することによって、さらに低抵抗化が可能となる。

【 0 0 5 6 】

また、前記第2のソース電極は、前記N型ソース領域上の第1のソース電極の厚さよりも厚く形成されているが、特にこれに限定しない。ストラップを第2のソース電極上に接続する際、その衝撃を吸収するクッション材として、厚く形成されている方の電極に、より力が加わる。第1のソース電極を厚く形成すると、ストラップを第2のソース電極上に接続する際、第1のソース電極がクッション材として働く。したがって、第1のソース電極上及びゲート配線の側壁の絶縁膜にも力が加わり、絶縁膜の劣化につながる。そこで、第2のソース電極を厚く形成した方が、第2のソース電極において衝撃をより多く吸収するため、ストラップを接続する際の衝撃による前記第2の絶縁膜の劣化が生じにくく、好ましい形態であるといえる。

【 0 0 5 7 】

また、前記第2の絶縁膜は、前記ゲート配線を覆うように形成されていればよいが、前記第1のソース電極の上面の一部にも延在して形成し、前記第1のソース電極の端部を前記第2の絶縁膜で覆うよう形成することによって、パターニングの際の合わせずれによる不良を防止することができるだけでなく、上部にストラップを接続する際、第1のソース電極の端部に衝撃が加わった場合の、変形によるショート不良を抑止することができる。

【 0 0 5 8 】

本実施の形態では、トレンチがストライプ状に形成されたストライプトレンチ



構造の半導体装置について記載したが、特にこれに限定されず、トレンチがメッシュ状に形成されたオフセットメッシュトレンチ構造の半導体装置であってもよい。

(第3の実施の形態)

第3の実施の形態の半導体装置について、図11乃至図19を参照して説明する。

【0059】

本実施の形態では、MOSFET、IGBTを例に説明する。図11は、図16のA-A'-B-B'における断面図である。第1及び第2の引き出し配線領域とセル形成領域が示されている。第1の引き出し配線領域はセル形成領域にはさまれた引き出し配線領域であり、前記第2の引き出し配線領域は、セル形成領域の外周領域の少なくとも一部に形成された引き出し配線領域である。

【0060】

図11に示したように、第1の引き出し配線領域及びセル形成領域の、例えばN<sup>-</sup>型の半導体基板1101上にP型ベース領域1102が形成されている。前記第1及び第2の引き出し配線領域の前記P型ベース領域1102上及び前記半導体基板1101上に、第1の絶縁膜1103a、1103bが形成されている。前記第1の絶縁膜1103a、1103b上には、それぞれ第1のゲート配線1104a、1104bが形成されている。

【0061】

セル形成領域の前記P型ベース領域1102には、前記第1の引き出し配線領域の前記第1のゲート配線1104aと、直角及び平行に溝1105が形成されている。前記溝1105は、オフセットメッシュトレンチ構造を有している。なお、図11は、前記溝1105が前記第1の引き出し配線領域の前記第1のゲート配線1104aと直角に形成されている領域の要部断面図である。前記溝1105には、ゲート絶縁膜1106が形成され、前記ゲート絶縁膜1106に接するようトレンチゲート電極1107が前記溝1105に埋め込み形成されている。前記溝1105の周囲の前記P型ベース領域1102の表面には、N型ソース領域1108が形成されている。前記第1の引き出し配線領域側の前記溝110

5の周囲には、前記N型ソース領域1108は形成されていない。

【0062】

前記セル形成領域に形成されるセルは、前記半導体基板1101の下にN<sup>+</sup>型のドレイン領域が形成され、前記N<sup>+</sup>型のドレイン領域に接するようにドレイン電極が形成されていればMOSFETであり、前記半導体基板1101の下にP<sup>+</sup>型のコレクタ領域が形成され、前記P<sup>+</sup>型のコレクタ領域に接するようにコレクタ電極が形成されていればIGBT (Insulated Gate Bipolar Transistor) として機能する。前記セル形成領域に形成されるセルは、特にこれらに限定されるものではない。また、セルの構造は、トレンチ型に限定されず、プレーナ型でもよい。

【0063】

前記第1のゲート配線1104a, 1104bと前記トレンチゲート電極1107は、ポリシリコンなどの導電性材料によって形成されており、他の領域で相互に電氣的に接続されている（図示しない）。

【0064】

前記第1及び第2の引き出し配線領域の前記第1のゲート配線1104a, 1104bの側面及び上面の一部は、UDO (Undoped Oxide), BPSGなどの第1の層間絶縁膜1109a, 1109bがそれぞれ形成されている。前記第1の絶縁膜と前記第1の層間絶縁膜は、同じ材料の絶縁膜で一体化して形成されていてもかまわない。前記第1の層間絶縁膜1109a, 1109bが形成されていない前記第1のゲート配線1104a, 1104bの上部には、Alなどの導電性材料によって形成された第2のゲート配線1110a, 1110bが形成され、引き出し配線として用いられている。前記トレンチゲート電極1107上には、第2の層間絶縁膜1111が形成されている。前記第2の層間絶縁膜1111は、前記溝1105に完全に埋め込まれていてもかまわない。

【0065】

セル形成領域の前記P型ベース領域1102上及び前記N型ソース領域1108上にはAlなどの第1のソース電極1112が形成されている。前記第1のソース電極1112は、面積が大きくなるよう形成され、低抵抗化をはかっている

。前記第1のソース電極1112は、第1の層間絶縁膜1109a, 1009b及び第2の層間絶縁膜1111によって、前記第1のゲート配線1104a, 1104b及びトレンチゲート電極1107と絶縁されるよう形成されている。

【0066】

前記第2のゲート配線1110a, 1110bの側面及び上面には、それぞれ、端部が前記第1のソース電極1112の上面の一部に形成された第2の絶縁膜1113a, 1113bが形成されている。前記第1の引き出し配線領域に形成された前記第2の絶縁膜1113aは、ほぼ板状の接続プレート（ここでは、ストラップという）を超音波接合によって上部に接続した際、前記第2のゲート配線1110aがストラップとショートしたり、前記第1のソース電極1112が前記第2のゲート配線1110aとショートしたりするのを防ぐために形成されている。

【0067】

ここで、前記第2の絶縁膜1113a, 1113bは、前記第1のソース電極1112の上面の一部にも形成されているが、形成されていなくてもかまわない。しかし、このように前記第1のソース電極1112の上面の一部にも絶縁膜を延在して形成することによって、パターニングの際の合わせずれによるショート不良を防止することができ、歩留まりよく信頼性の高い素子を製造することができる。前記第2の絶縁膜1113a, 1113bは、シリコン酸化膜、シリコン窒化膜、或いはその積層膜によって構成されている。前記第2の絶縁膜1113a, 1113bは、上部に電極層を形成するため、ある程度、硬度のある絶縁膜が好ましい。また、厚さは、2 $\mu$ m $\sim$ 4 $\mu$ mが好ましい。

【0068】

セル形成領域の前記第1のソース電極1112上、及び前記第1のソース電極1112の上に形成されている前記第2の絶縁膜1113a, 1113b上の一部には、A1などの第2のソース電極1114が形成されている。前記第2のソース電極1114は、その上端が前記第2のゲート配線膜1110a, 1110b上端よりも高くなるように形成されている。また、前記第1の引き出し配線領域の前記第2のゲート配線1110aと前記第2のソース電極1114は間隙1

110cを持って配置されている。前記第2のソース電極1114は、前記N型ソース領域1108上の第1のソース電極1112の厚さよりも厚く形成されている。さらに、第2の引き出し配線領域の第2のゲート配線1110b上及び前記第1のソース電極1112の上に形成されている前記第2の絶縁膜1113b上には、A1などのゲート電極1115が形成されている。前記第2のソース電極と前記ゲート電極1115とは離間して形成されている。

## 【0069】

また、第1のソース電極1112及び第2のソース電極1114を同じ導電性材料を用いて形成することによって、異種材料の界面における変形などの劣化や抵抗の増加を抑止することができる。

## 【0070】

前記第2のソース電極1114上には、前記第2のソース電極1114に接続するストラップ1116aが形成されている。前記ストラップ1116aは、例えばA1によって構成されている接続プレートである。前記ストラップ1116aは、例えば外部への接続を行うリードフレーム（図示しない）に接続される。前記ゲート電極1115上には、前記ゲート電極1115に接続するストラップ1116bが形成されている。前記ストラップ1116bは、例えば外部への接続を行うリードフレーム（図示しない）に接続される。前記第2の引き出し配線領域の外周縁の表面領域には、逆バイアスを印加した時の空乏層の広がりを抑制するために、N型ストッパ領域1117が形成されている。

## 【0071】

ここで、前記ゲート電極1115に接続プレートである前記ストラップ1116bが接続されている例を記載したが、これに限定されず、第1の実施の形態で示したように、ゲートワイヤで接続されていてもかまわない。

## 【0072】

次に、図12乃至図15を用いて、本実施の形態に記載した図11に示した半導体装置のゲート配線などの第1及び第2の引き出し配線領域の製造方法について説明する。セル形成領域については、一部省略して記載する。

## 【0073】

図 1 2 に示すように、第 1 の引き出し配線領域の半導体基板 1 2 0 1 上に P 型ベース領域 1 2 0 2 を形成する。続いて、第 1 及び第 2 の引き出し配線領域の前記 P 型ベース領域 1 2 0 2 上及び前記半導体基板 1 2 0 1 上に第 1 の絶縁膜 1 2 0 3 a, 1 2 0 3 b を形成する。前記第 1 の絶縁膜 1 2 0 3 a, 1 2 0 3 b 上にポリシリコンを堆積させて、エッチングし、第 1 及び第 2 の引き出し配線領域の前記第 1 の絶縁膜 1 2 0 3 a, 1 2 0 3 b の一部に、第 1 のゲート配線 1 2 0 4 a, 1 2 0 4 b をそれぞれ形成する。第 1 のゲート配線 1 2 0 4 a, 1 2 0 4 b の上面及び側面にシリコン窒化膜を形成し、前記シリコン窒化膜をエッチングして、前記第 1 のゲート配線 1 2 0 4 a, 1 2 0 4 b の上面の一部が露出するような溝部を形成し、第 1 の層間絶縁膜 1 2 0 5 a, 1 2 0 5 b を形成する。

## 【 0 0 7 4 】

また、セル形成領域には、ゲート絶縁膜 1 2 0 6, トレンチゲート電極 1 2 0 7, N 型ソース領域 1 2 0 8, 第 2 の層間絶縁膜 1 2 0 9 から少なくともなるセルを形成する。続いて、A 1 を堆積してエッチングし、第 1 及び第 2 の引き出し配線領域に第 2 のゲート配線 1 2 1 0 a, 1 2 1 0 b をそれぞれ形成し、セル形成領域には第 1 のソース電極 1 2 1 1 を形成する。前記第 2 の引き出し領域の外周縁の表面領域には、N 型ストッパ領域 1 2 1 2 が形成されている。

## 【 0 0 7 5 】

次に、図 1 3 に示すように、第 1 及び第 2 の引き出し配線領域にシリコン酸化膜やシリコン窒化膜などの第 2 の絶縁膜 1 2 1 3 を堆積させる。

## 【 0 0 7 6 】

次に、図 1 4 に示すように、レジスト膜を塗布し、レジストパターンを形成して、前記第 2 のゲート配線 1 2 1 0 a を覆うような第 2 の絶縁膜 1 2 1 3 a と前記第 2 のゲート配線 1 2 1 0 b の上面の一部を露出させるような第 2 の絶縁膜 1 2 1 3 b を形成する。レジストパターンは、アッシングして除去する。前記第 2 の絶縁膜 1 2 1 3 a, 1 2 1 3 b の端部は、前記第 1 のソース電極 1 2 1 1 上に延在して形成されている。

## 【 0 0 7 7 】

次に、図 1 5 に示すように、A 1 を堆積し、前記 A 1 上にレジスト膜を塗布し

てレジストパターンを形成し、前記第 1 のソース電極 1 2 1 1 上及び前記第 1 のソース電極 1 2 1 1 上の絶縁膜 1 2 1 2 a, 1 2 1 2 b 上に第 2 のソース電極 1 2 1 3 を形成する。前記第 2 の引き出し配線領域に形成された前記第 2 のゲート配線 1 2 1 0 b 上及び前記第 2 の絶縁膜 1 2 1 3 b 上にゲート電極 1 2 1 5 を形成する。前記ゲート電極 1 2 1 5 の端部は、前記第 1 のソース電極 1 2 1 0 上に形成された前記第 2 の絶縁膜 1 2 1 3 b 上に延在するように形成する。

## 【 0 0 7 8 】

前記第 2 の絶縁膜 1 2 1 3 b は、前記第 2 のゲート配線 1 2 1 0 b の上面の一部を露出させるよう、形成されているが、前記第 2 の絶縁膜 1 2 1 3 b のうち、前記第 1 のソース電極上に延在して形成された前記第 2 の絶縁膜 1 2 1 3 b と反対側の部分に形成された前記第 2 の絶縁膜 1 2 1 3 b は、上部に電極を形成する必要がないため、シリコン窒化膜やシリコン酸化膜などよりも硬度の低い膜であってもよく、保護膜として用いられるポリイミドで形成されていてもよい。続いて、セル形成領域上と前記第 1 の引き出し配線領域上に超音波接合によって、ストラップ 1 2 1 6 a を形成し、一方、前記第 2 の引き出し配線領域に形成された前記ゲート電極上に超音波接合によってストラップ 1 2 1 6 b を形成し、リードフレームに接続する（図示しない）。

## 【 0 0 7 9 】

図 1 6 に本実施の形態の半導体装置の平面図を示す。ここで、1 6 0 1 は半導体基板、1 6 0 2 はリードフレーム、1 6 0 3 はストラップ、1 6 0 4 a は第 1 の引き出し配線領域のゲート配線、1 6 0 4 b は第 2 の引き出し配線領域のゲート配線を示している。1 6 0 5 は、超音波の印加領域である。また、図 1 6 の C-C' 断面における概略を示す要部断面図は、第 1 の実施の形態で示した図 9 と同じである。

## 【 0 0 8 0 】

このように、ゲート配線上の絶縁膜の上端よりも第 2 のソース電極の上端の方が高く、若しくは、ほぼ同じとなるよう形成されているため、超音波接合によってストラップをソース電極に接続する際に、ゲート配線に形成された絶縁膜にかかる衝撃を低減することが可能となる。すなわち、ゲート配線がつぶれてソース

電極側へ変形し、ゲート配線とソース電極がショートしたり、ゲート配線上に形成されている絶縁膜が劣化し、ストラップとゲート配線がショートすることを抑止することができ、内部抵抗の上昇を招くことなく、ショート不良をなくすることが可能となる。

## 【 0 0 8 1 】

前記第2のソース電極は、前記N型ソース領域上の第1のソース電極の厚さよりも厚く形成されているが、特にこれに限定しない。ストラップを第2のソース電極上に接続する際、その衝撃を吸収するクッション材として、厚く形成されている方の電極に、より力が加わる。第1のソース電極を厚く形成すると、ストラップを第2のソース電極上に接続する際、第1のソース電極がクッション材として働く。したがって、第1のソース電極上及びゲート配線の側壁の絶縁膜にも力が加わり、絶縁膜の劣化につながる。そこで、第2のソース電極を厚く形成した方が、第2のソース電極において衝撃をより多く吸収するため、ストラップを接続する際の衝撃による前記第2の絶縁膜の劣化が生じにくく、好ましい形態であるといえる。

## 【 0 0 8 2 】

さらに、第2のソース電極が前記ゲート配線に対して間隙をもって形成されているため、上部にストラップを接続する際に、第2のソース電極の端部に特に衝撃が加わって変形することによるショート不良を、抑止することができる。

## 【 0 0 8 3 】

また、前記第1の引き出し配線領域に形成された前記第2の絶縁膜は、前記第1のソース電極の上面の一部にも延在して形成しているが、前記第2のゲート配線を覆うように形成されていればよい。しかし、前記第1のソース電極の上面の一部にも延在し、前記第1のソース電極の端部を前記第2の絶縁膜で覆うよう形成することによって、パターニングの際の合わせずれによる不良を防止することができるだけでなく、上部にストラップを接続する際、第1のソース電極の端部に衝撃が加わった場合の、変形によるショート不良を抑止することができる。

## 【 0 0 8 4 】

また、従来の技術では、図25に示すように、第1の引き出し配線領域と同じ

工程で形成された第2の引き出し配線領域は、セル形成領域と並置して形成されており、第2の引き出し配線領域の下には、MOSFETなどのセルは形成されていない。図26(a)及び図26(b)に示すように、対称的な構造のパッケージに対応した半導体チップでは、たとえ、同一寸法のパッケージであっても、半導体チップ2601上のゲート電極2602の位置が異なるため、搭載する半導体チップ2601を個々に設計する必要があるという問題があった。ここで、図26において、2603はソース電極、2604はゲート配線である。

## 【0085】

また、オン抵抗の低減をはかるために、半導体チップのセル形成領域の面積を広く形成して、セル数を増やし、ソース電極の面積を広く形成する場合、ゲート電極の面積、数、位置、形状などに制約があるという問題があった。また、リードフレームの位置によって、ゲート電極の面積、数、位置、形状などを選択して形成する必要があるという問題があった。

## 【0086】

本実施の形態では、第2の引き出し配線領域において、前記ゲート電極と前記第1のソース電極の間には、前記第2の絶縁膜が形成されており、絶縁されている。したがって、第2の引き出し配線領域下の一部に、セル形成領域を設けることができる構成となっているため、ゲート電極の面積の広さにかかわらず、セル形成領域の面積を広く形成することができ、オン抵抗を低減することができる。また、セル形成領域の面積やリードフレームの位置にかかわらず、ゲート電極の面積、数、位置、形状などを選択することができる。すなわち、所望のゲート電極の面積、数、位置、形状などを選択するとともに、セル形成領域の面積を広く形成しオン抵抗を低減することができる。

## 【0087】

また、セル形成領域の面積を広く形成しつつ、図17に示すように、半導体チップの2つの隅部にゲート電極を形成することができ、パッケージに対応してゲート電極の位置が異なる半導体チップ（例えば、図26(a)及び図26(b)）であっても新たな設計を行う必要がない。1701は半導体チップ、1702はゲート電極、1703はソース電極、1704はゲート配線である。



## 【0088】

また、図18(a)及び図18(b)に示すように、半導体チップの長辺または短辺と平行な領域にゲート電極を形成し、セル形成領域の面積を広く形成しつつ、ゲート電極の面積を任意に広く形成することができる。このように形成することによって、より容易にストラップ構造で形成することができ、さらに低抵抗化が可能になる。また、ゲート電極とリードフレームとの接続を任意の場所で行うことができるため、位置、大きさなどの自由度が高い半導体装置を形成することができる。

## 【0089】

また、第1の引き出し配線領域の第2の絶縁膜と第2の引き出し配線領域の第2の絶縁膜は、同じ工程中に形成することができる。また、セル形成領域の第2のソース電極及び第2の引き出し配線領域のゲート電極も、同じ工程中に形成することができる。

## 【0090】

本実施の形態では、トレンチがメッシュ状に形成されたオフセットメッシュトレンチ構造の半導体装置について記載したが、特にこれに限定されず、トレンチがストライプ状に形成されたストライプトレンチ構造の半導体装置であってもよい。また、本実施の形態では、図11に示すように、第1の引き出し配線領域の構造として、第2のゲート配線上にソース電極を形成していない第1の実施の形態(図1)を適用したが、図19に示すように、第2のゲート配線上にソース電極を形成した第2の実施の形態(図10)を適用することも可能である。

## 【0091】

以上、第1乃至第3の実施の形態では、超音波接合によってストラップを接合する場合に生じる衝撃による不良について述べたが、それに限定されず、圧接接合などによる衝撃に対しても十分効果を有する。

## 【0092】

また、ソース電極が2層の電極層で構成されている例を記載したが、1層の電極層で構成してあってもよいし、3層以上の電極層で構成してもかまわない。また、ソース領域上にソース電極を形成した場合について説明したが、セル形成領

域に形成したセルの構造に応じて、ソース電極がドレイン電極、エミッタ電極、コレクタ電極等であってもかまわない。

【 0 0 9 3 】

【発明の効果】

以上、詳述したように、本発明によれば、接続プレートを主電極に直接接続する際に、内部抵抗の上昇を招くことなく、ショート不良を低減することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態に係る図 8 の半導体装置の A - A' における要部断面図である。

【図 2】 本発明の第 1 の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図 3】 本発明の第 1 の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図 4】 本発明の第 1 の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図 5】 本発明の第 1 の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図 6】 本発明の第 1 の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図 7】 本発明の第 1 の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図 8】 本発明の第 1 の実施の形態に係る半導体装置の平面図である。

【図 9】 本発明の第 1 及び第 3 の実施の形態に係る、図 8 及び図 1 6 の半導体装置の C - C' における要部断面図である。

【図 1 0】 本発明の第 2 の実施の形態に係る半導体装置の要部断面図である。

【図 1 1】 本発明の第 3 の実施の形態に係る図 1 6 の半導体装置の A - A' - B - B' における要部断面図である。

【図 1 2】 本発明の第 3 の実施の形態に係る半導体装置の製造工程の一工程を

示す要部断面図である。

【図 1 3】 本発明の第 3 の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図 1 4】 本発明の第 3 の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図 1 5】 本発明の第 3 の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図 1 6】 本発明の第 3 の実施の形態に係る半導体装置の平面図である。

【図 1 7】 本発明の第 3 の実施の形態に係る半導体装置のレイアウトを示す図である。

【図 1 8】 本発明の第 3 の実施の形態に係る半導体装置の他のレイアウトを示す図である。

【図 1 9】 本発明の第 3 の実施の形態に係る他の半導体装置の要部断面図である。

【図 2 0】 従来の半導体装置の平面図である。

【図 2 1】 従来の半導体装置の要部断面図である。

【図 2 2】 従来の半導体装置の他の要部断面図である。

【図 2 3】 従来の半導体装置の製造工程の一工程を示す要部断面図である。

【図 2 4】 従来の半導体装置の製造工程の一工程を示す要部断面図である。

【図 2 5】 従来の半導体装置の製造工程の一工程を示す要部断面図である。

【図 2 6】 従来の半導体装置のレイアウトの一例を示す図である。

【符号の説明】

1 0 1, 2 0 1, 8 0 1, 1 0 0 1, 1 1 0 1, 1 2 0 1, 1 6 0 1, 2 0 0 1, 2 1 0 1, 2 2 0 1, 2 3 0 1…半導体基板

1 0 2, 2 0 2, 1 0 0 2, 1 1 0 2, 1 2 0 2, 2 1 0 2, 2 3 0 2…P型ベース領域

1 0 3, 2 0 3, 1 0 0 3, 1 1 0 3, 1 2 0 3, 2 1 0 3, 2 2 0 2, 2 3 0 3…第 1 の絶縁膜

1 0 4, 2 0 4, 1 0 0 4, 1 1 0 4, 1 2 0 4, 2 1 0 4, 2 2 0 3, 2 3 0

4…第1のゲート配線

105, 1105…溝

106, 1106, 1206…ゲート絶縁膜

107, 1107, 1207…トレンチゲート電極

108, 1005, 1108, 1208…N型ソース領域

109, 205, 1006, 1109, 1205, 2106, 2204, 230

5…第1の層間絶縁膜

110, 206, 1007, 1110, 1210, 2107, 2206, 230

5…第2のゲート配線

110a, 206a, 1110c…間隙

111, 1111, 1209…第2の層間絶縁膜

112, 207, 1008, 1112, 1211…第1のソース電極

113, 208, 1009, 1113, 1213…第2の絶縁膜

114, 210, 1010, 1114, 1214…第2のソース電極

115, 211, 803, 1011, 1116, 1216, 1603, 2109

…ストラップ

209…レジスト膜

802, 1602, 2003…リードフレーム

804, 2005…ゲートワイヤ

805, 1604, 1704, 2006, 2604…ゲート配線

806, 1605…超音波の印加領域

1115, 1215, 1702, 2207, 2307, 2602…ゲート電極

1117, 1212…N型ストッパ領域

1701, 2601…半導体チップ

1703, 2002, 2105, 2206, 2308, 2603…ソース電極

2004…ソースワイヤ

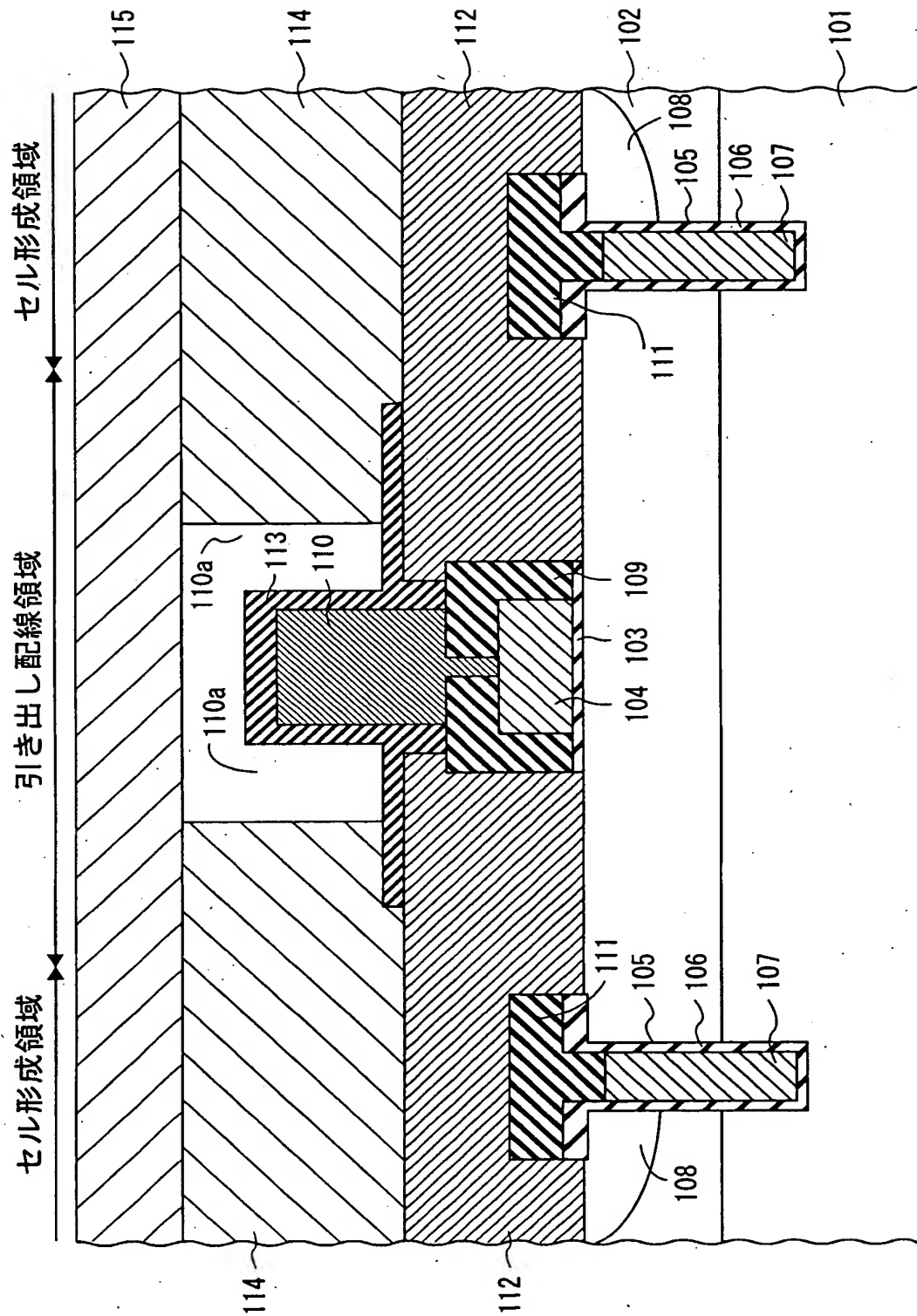
2108, 2208, 2311…保護膜

2209, 2309…ストッパ拡散領域

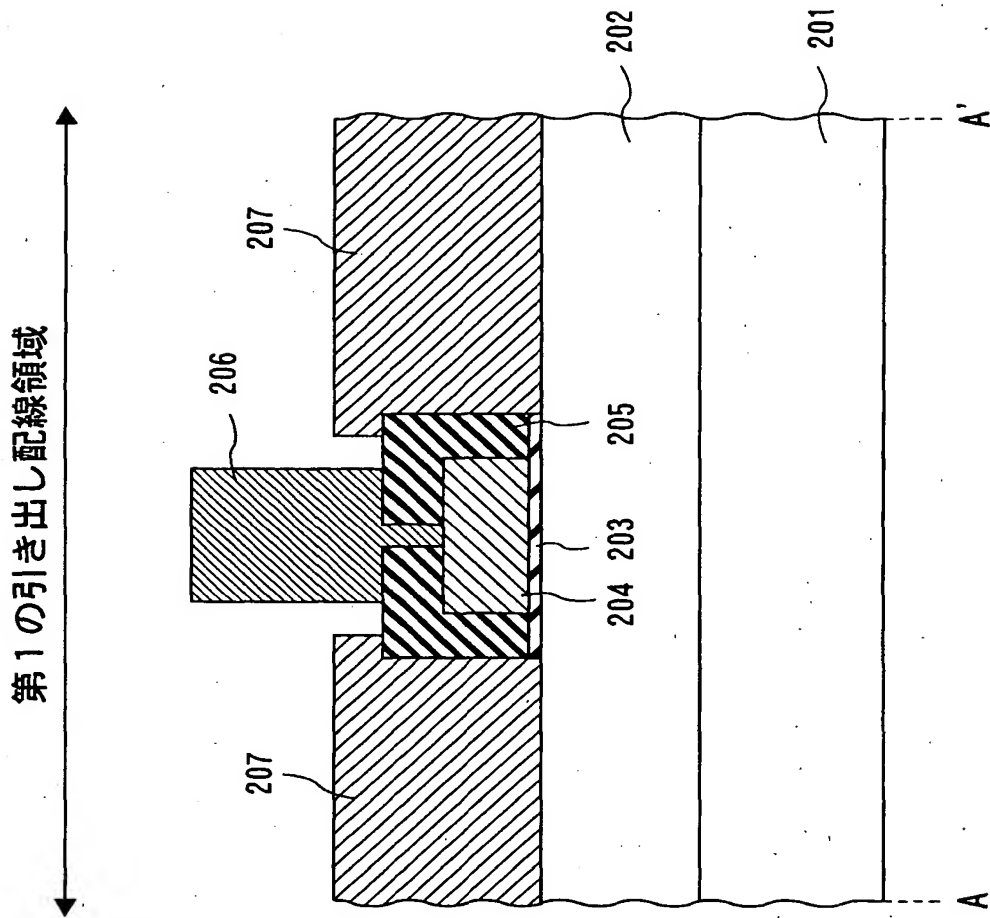
2310…ポリイミド

【書類名】 図面

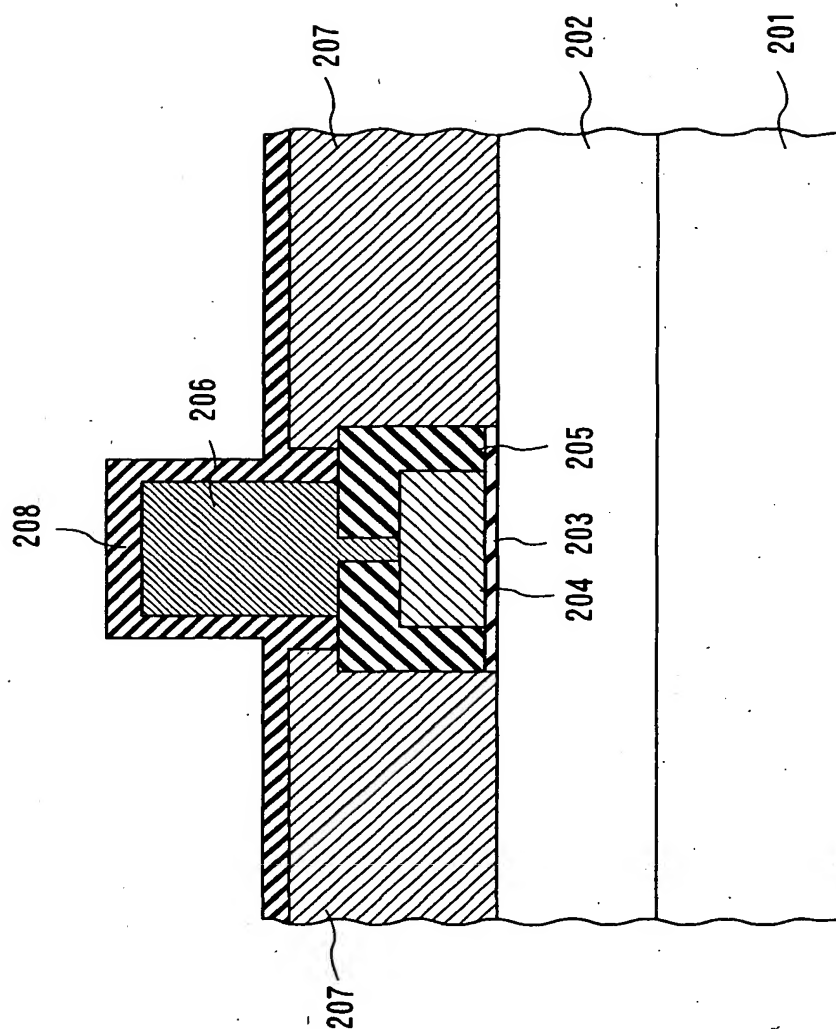
【図 1】



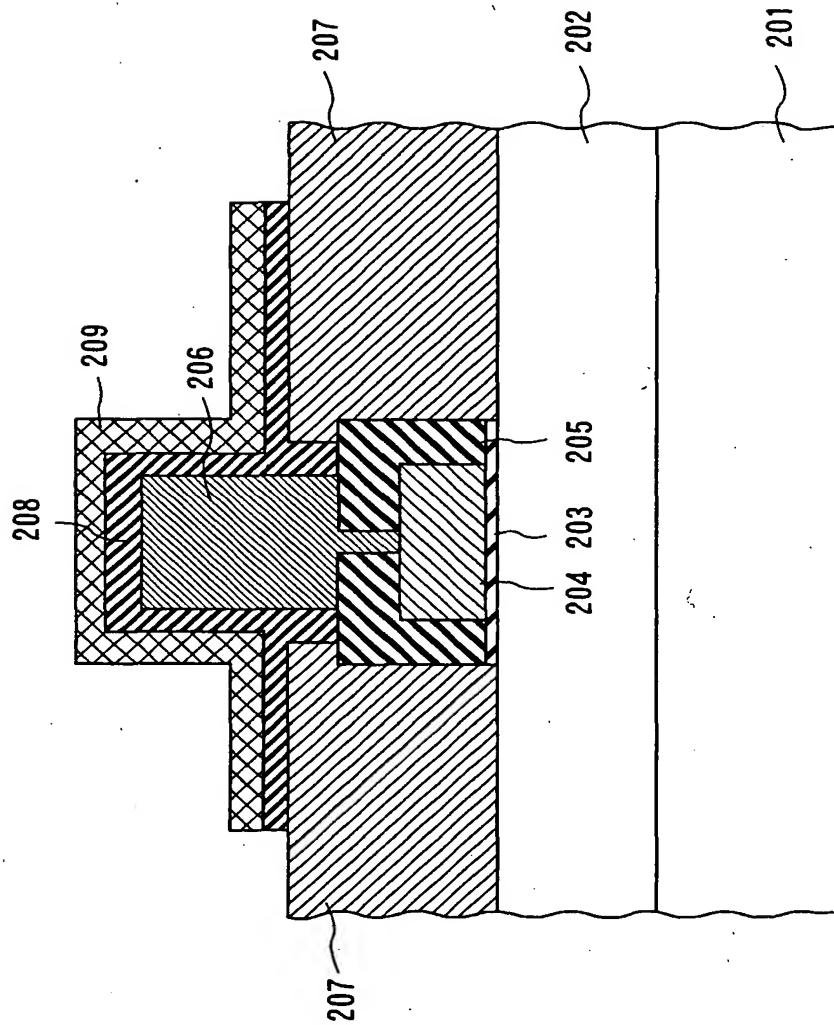
【図 2】



【図 3】

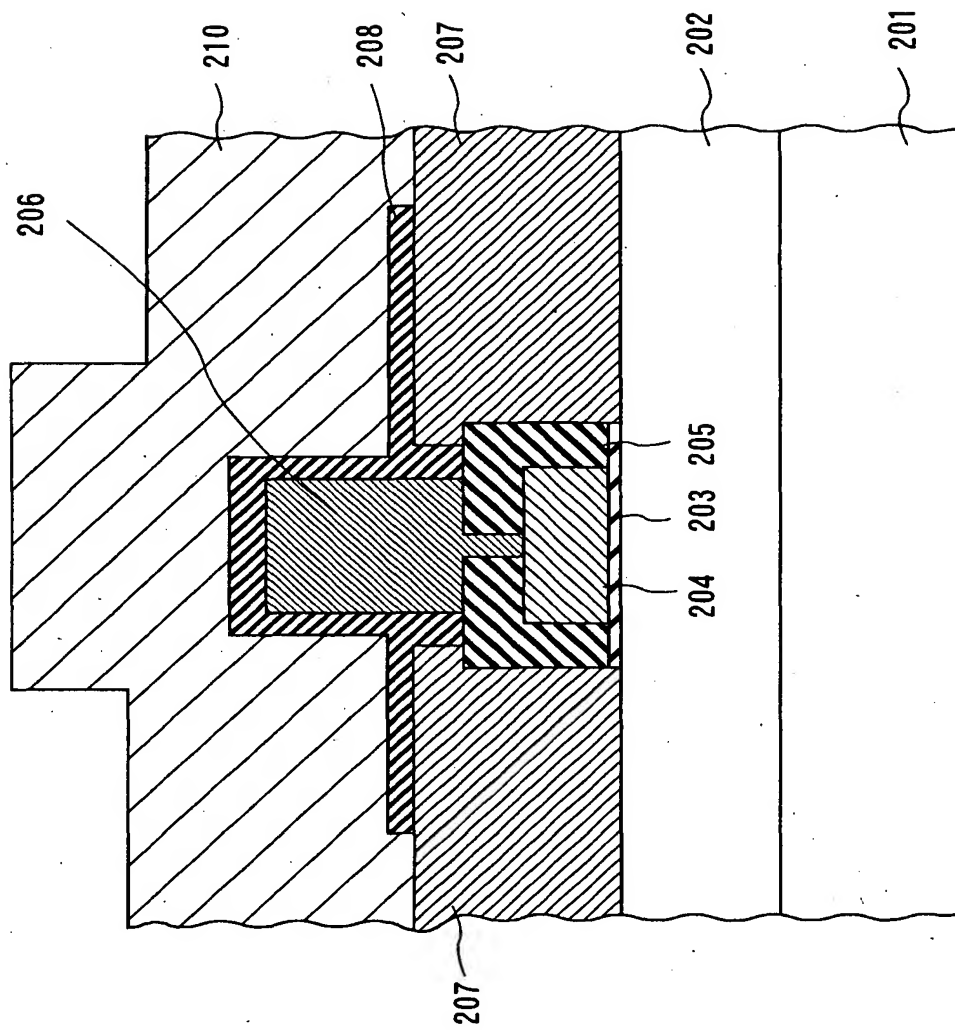


【図 4】

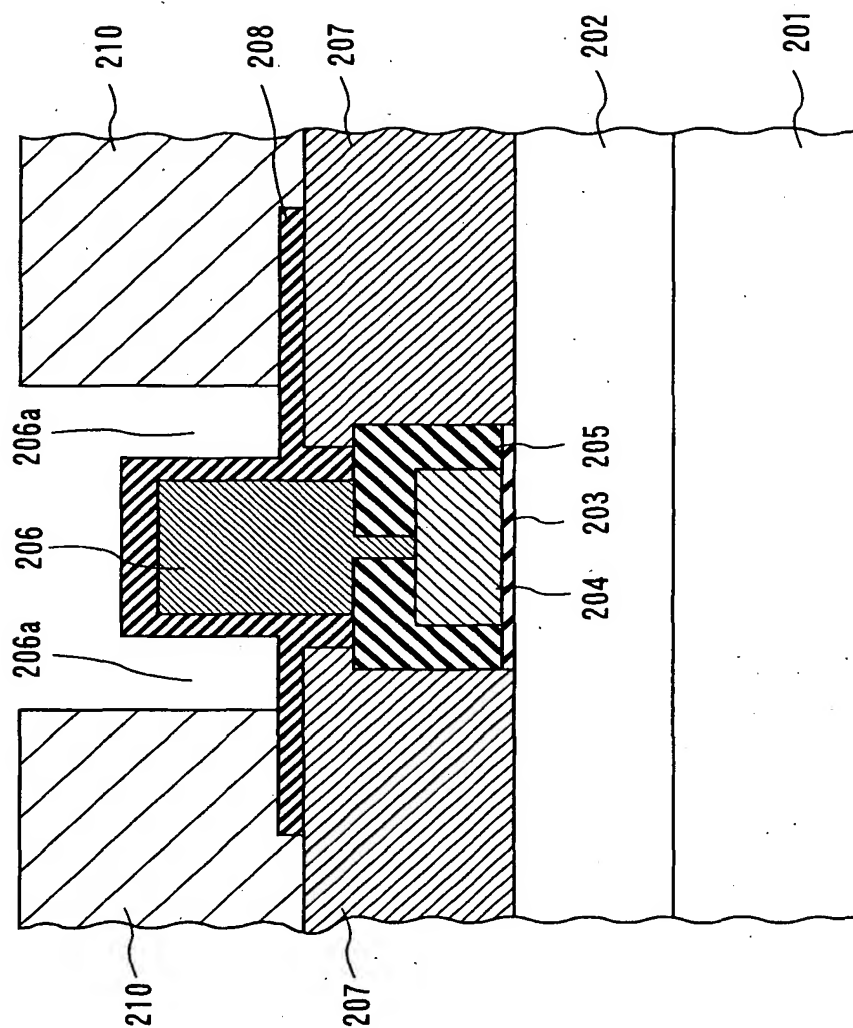




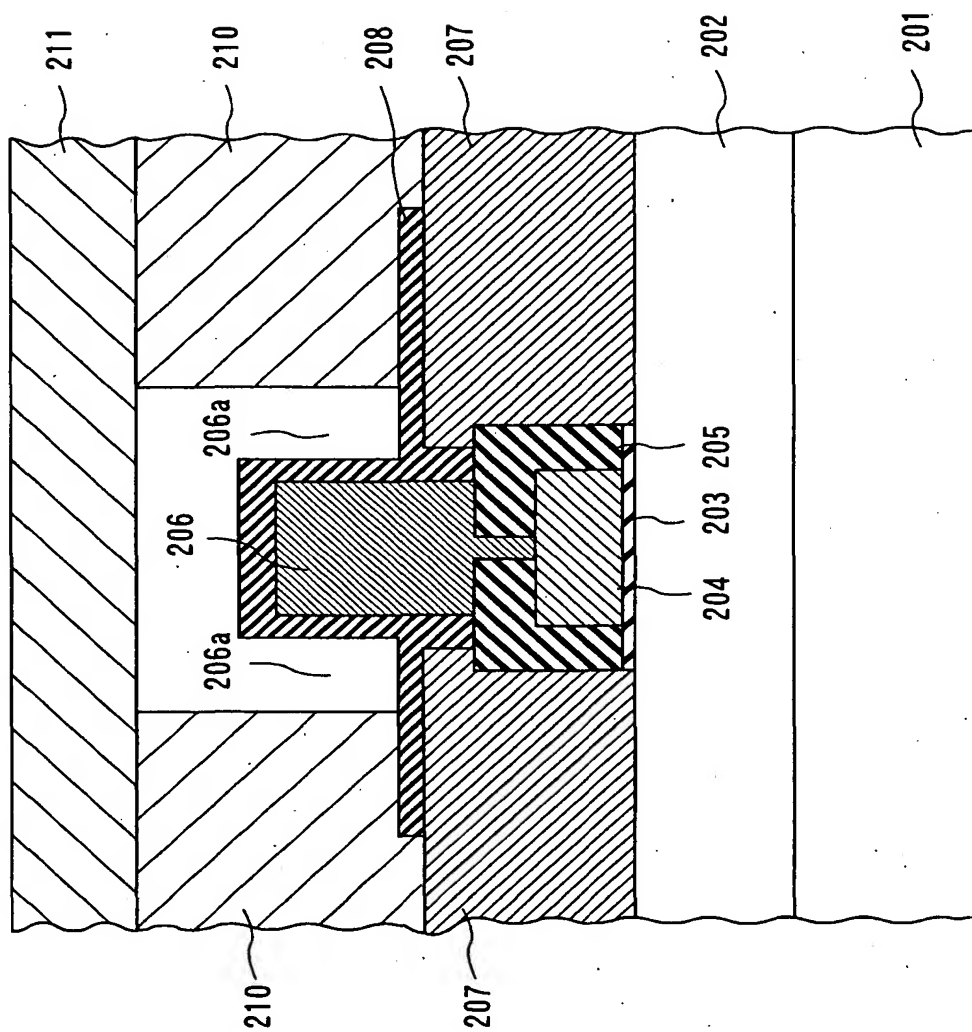
【図 5】



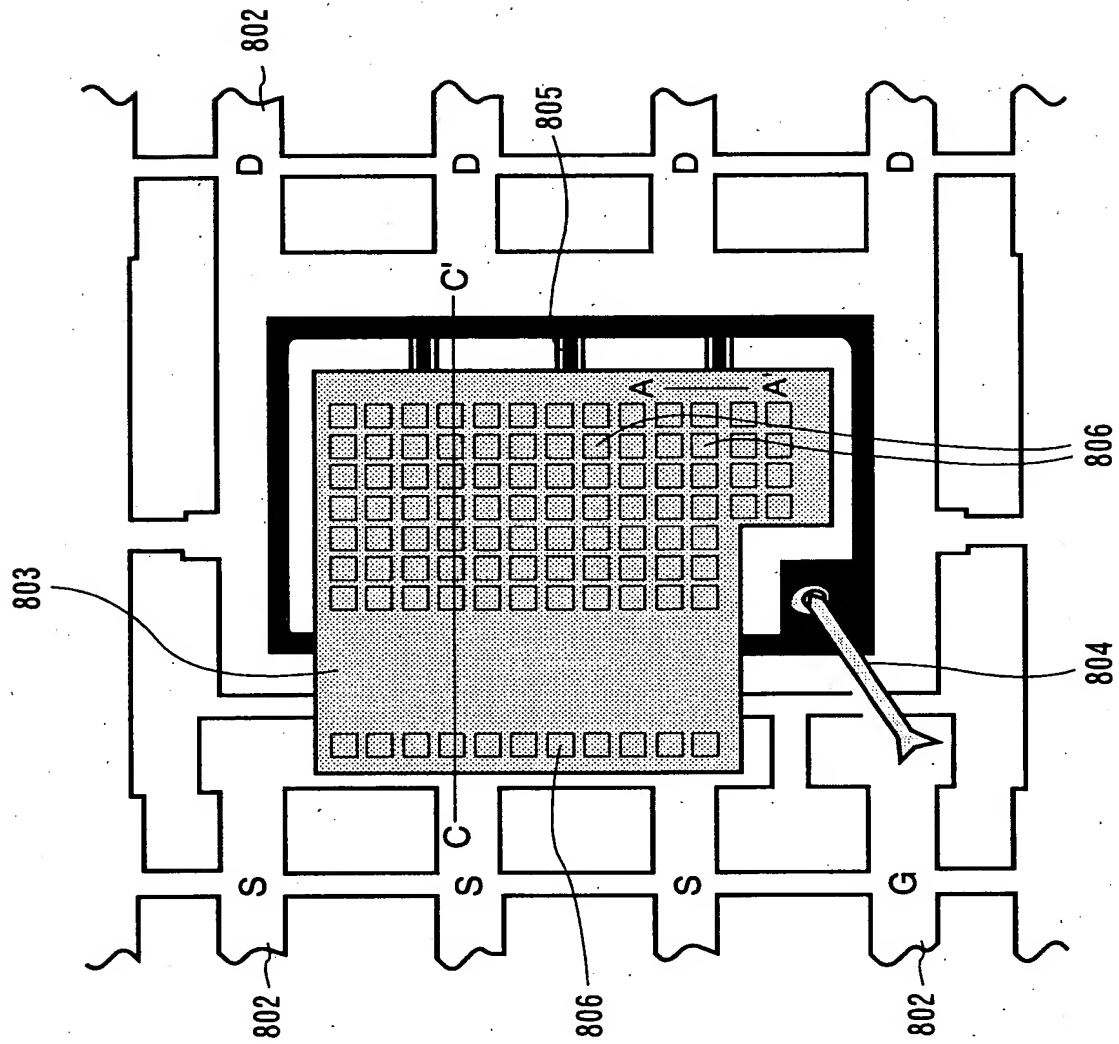
【図 6】



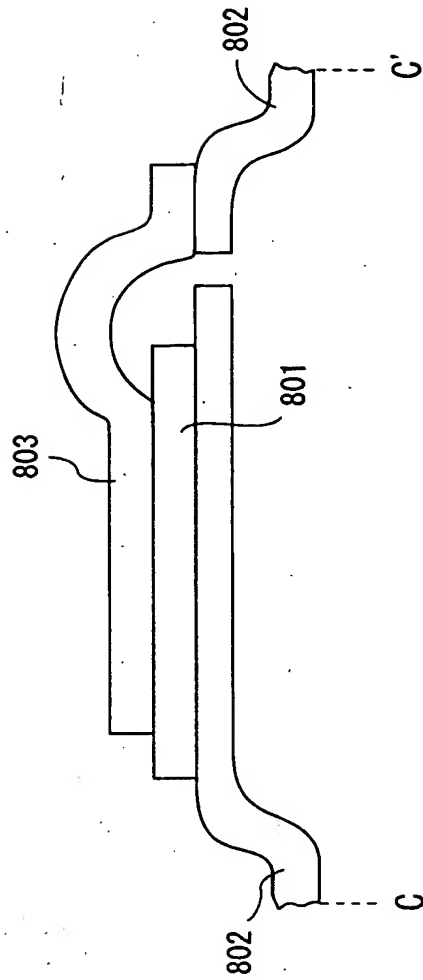
【図 7】



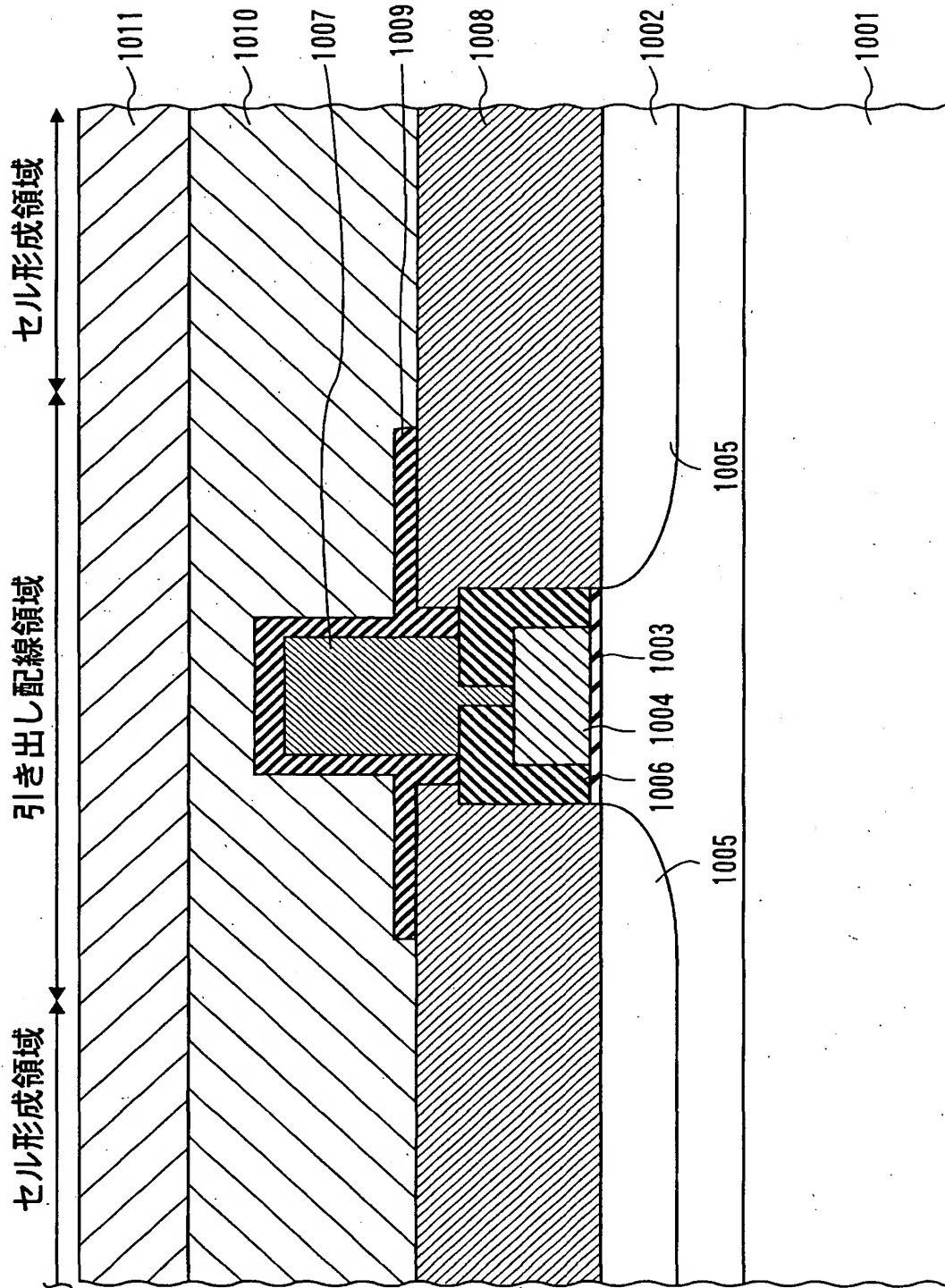
【図 8】



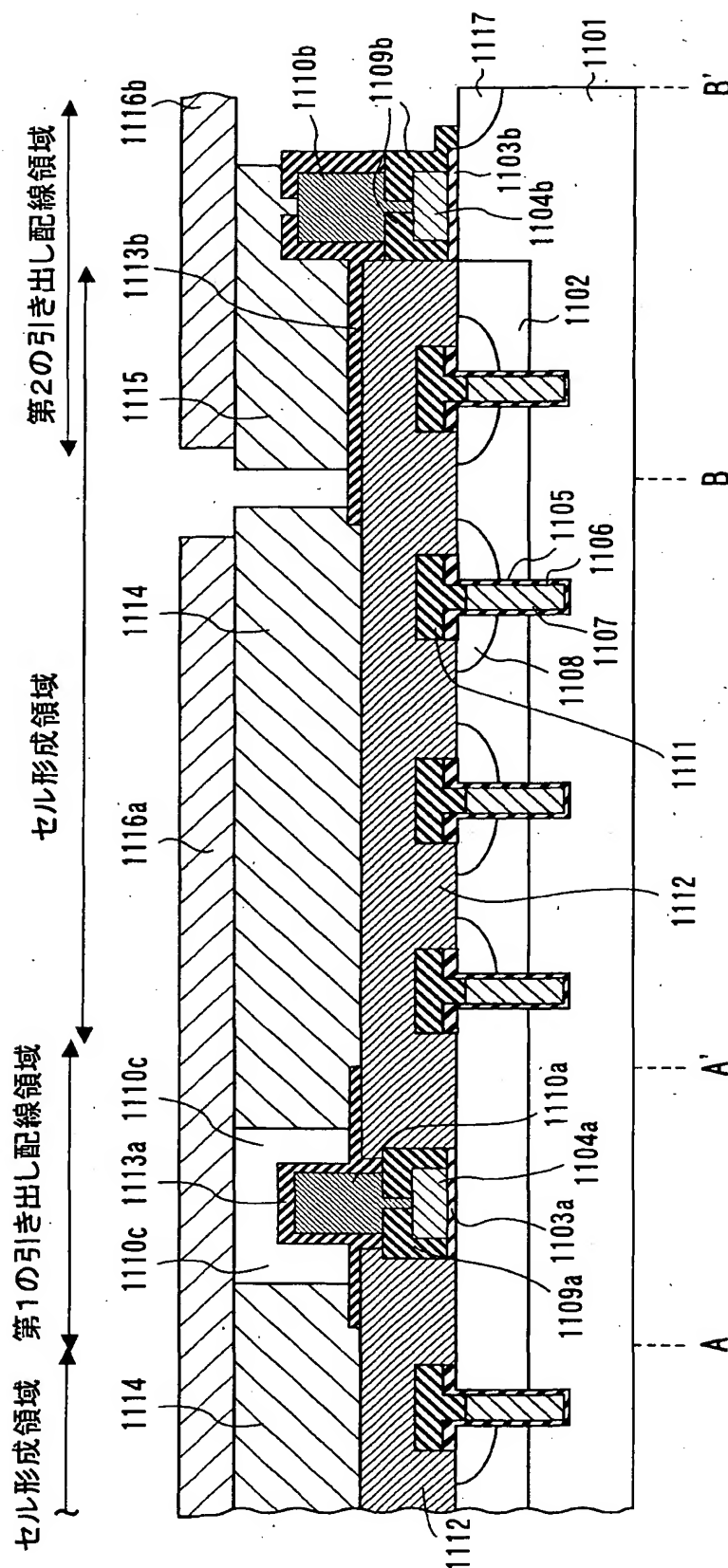
【図 9】



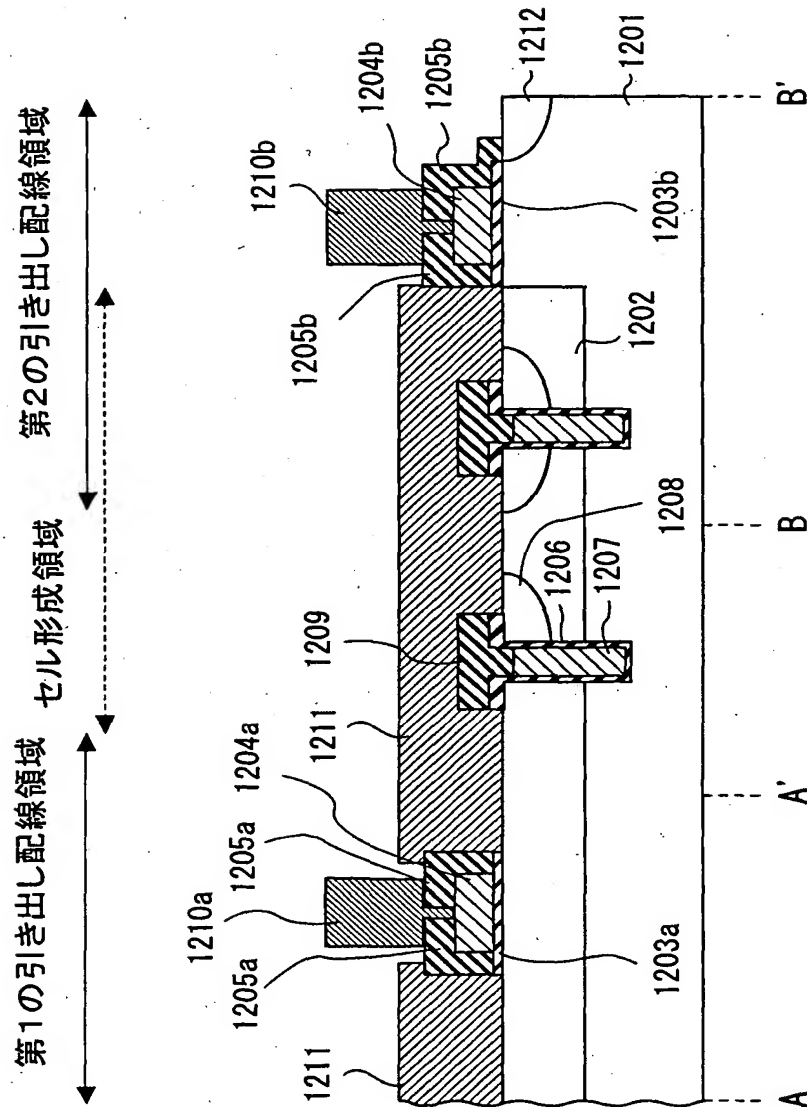
【図10】



【图 1-1】

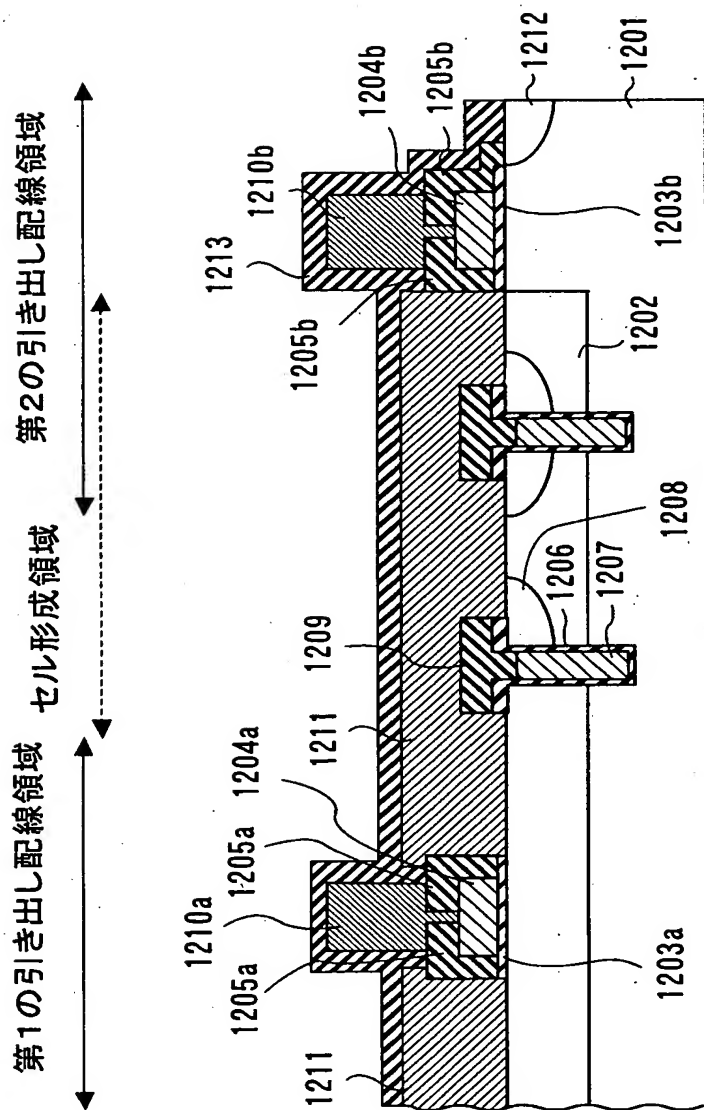


【図 12】

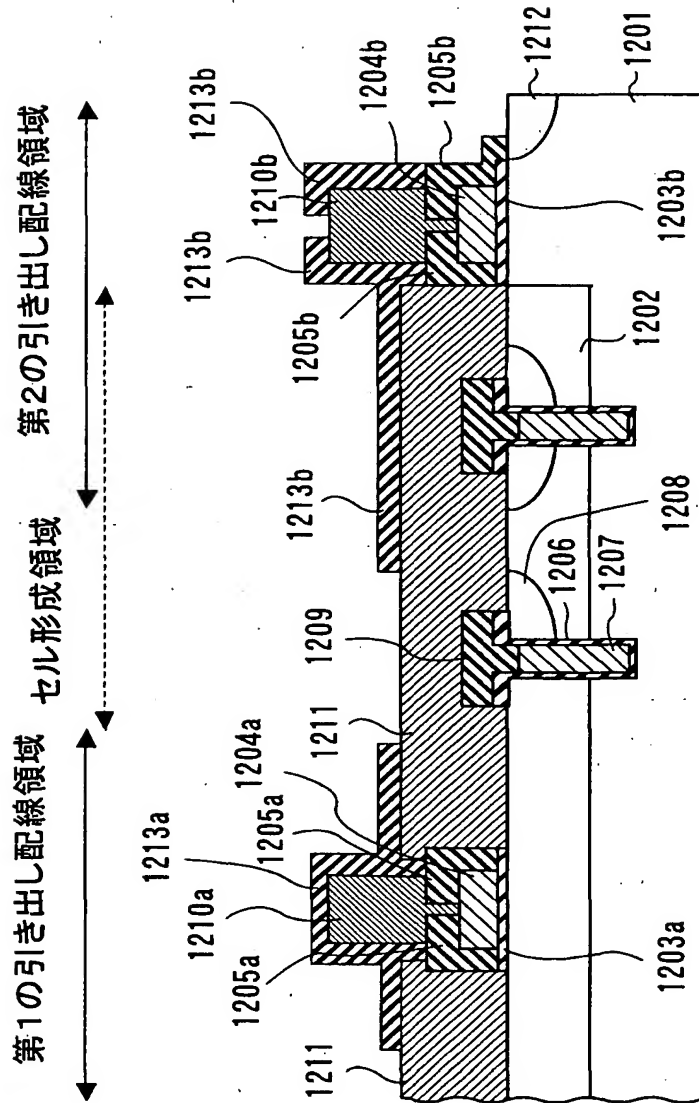




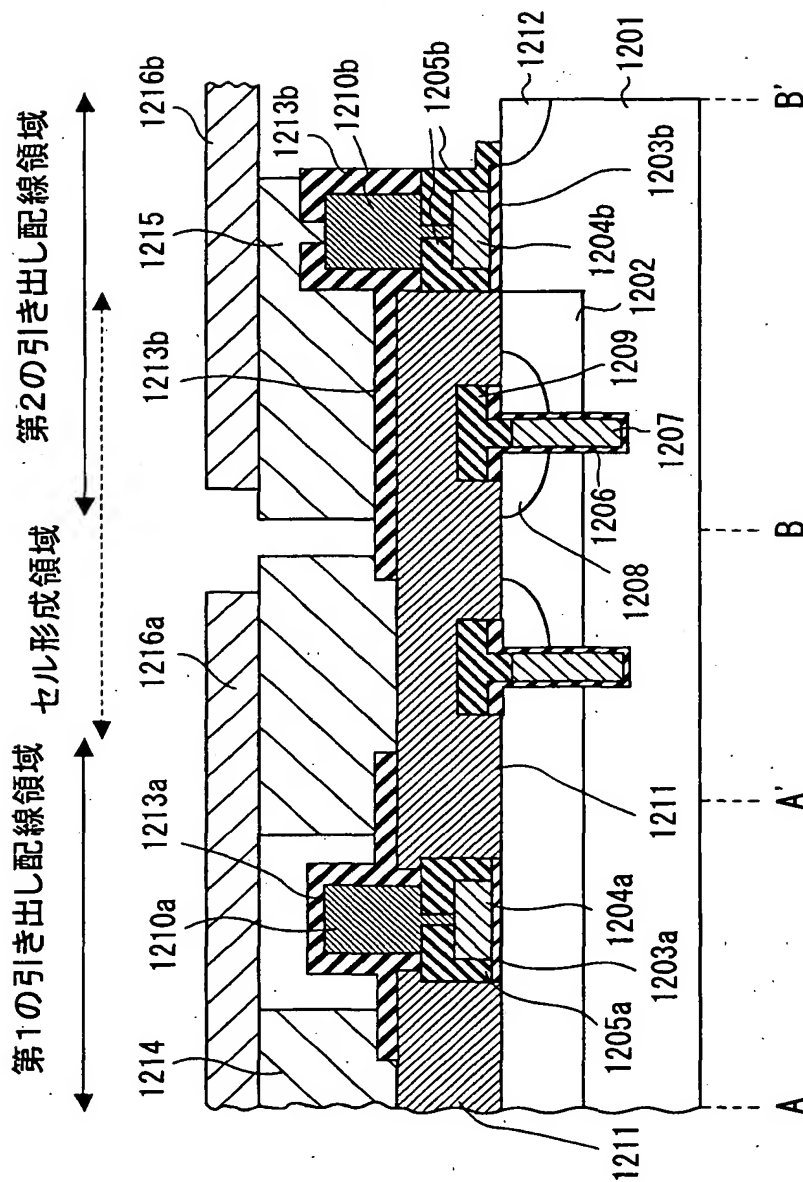
【図 13】



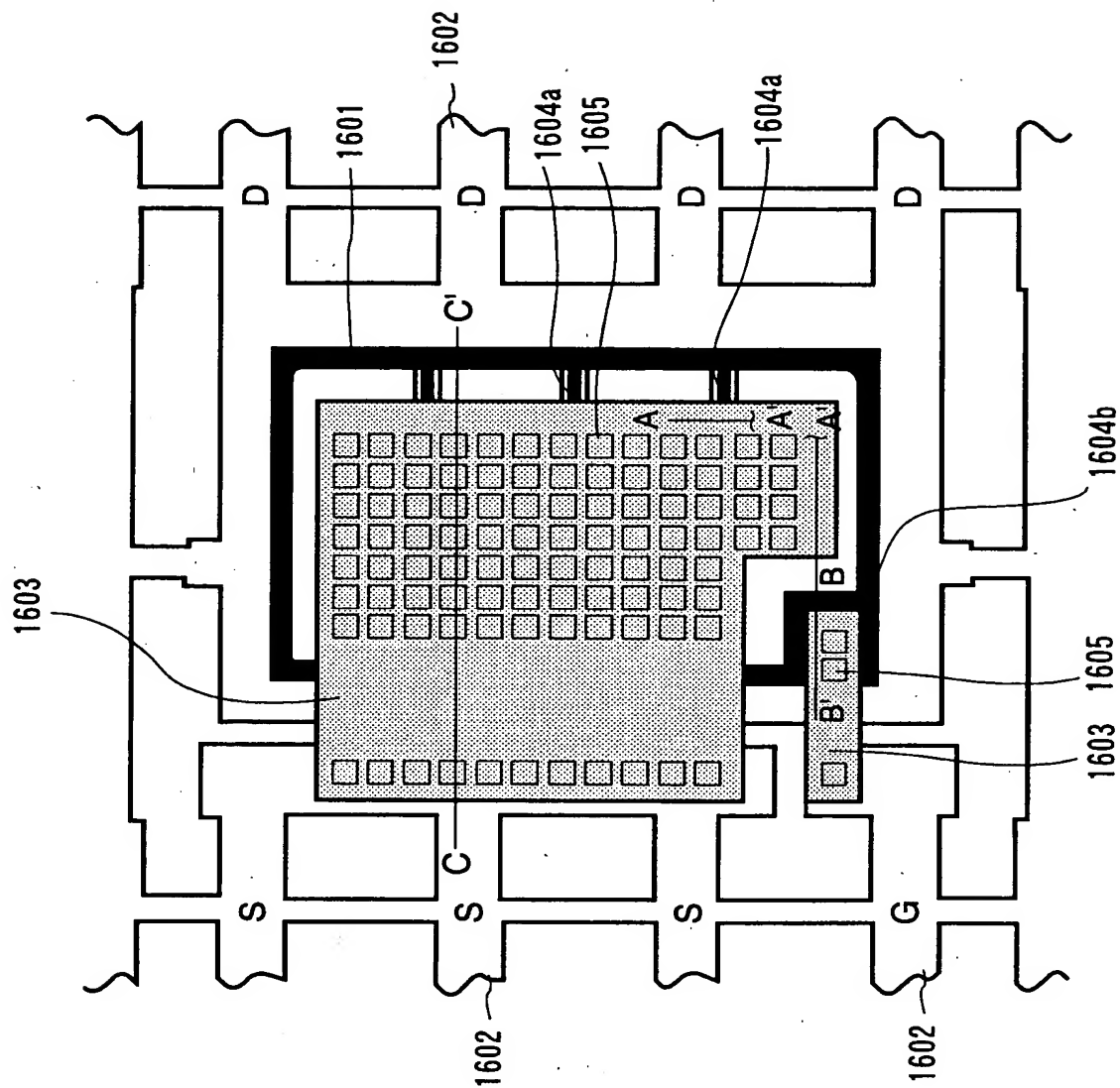
【図 14】



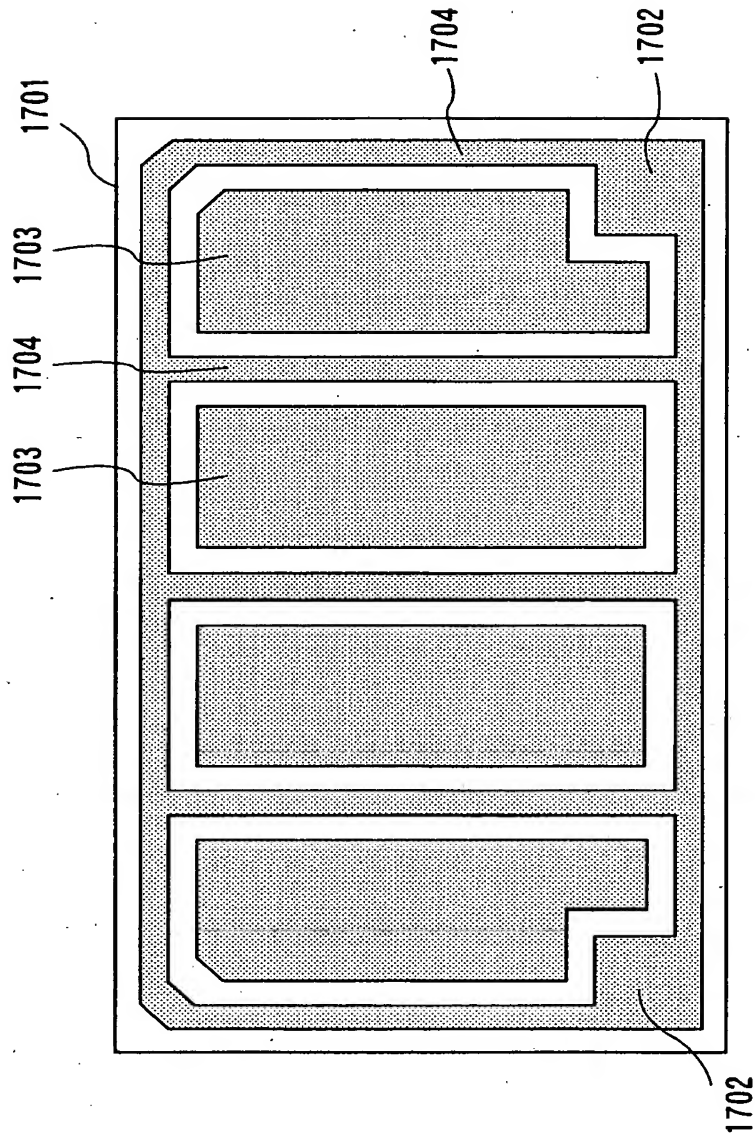
【図15】



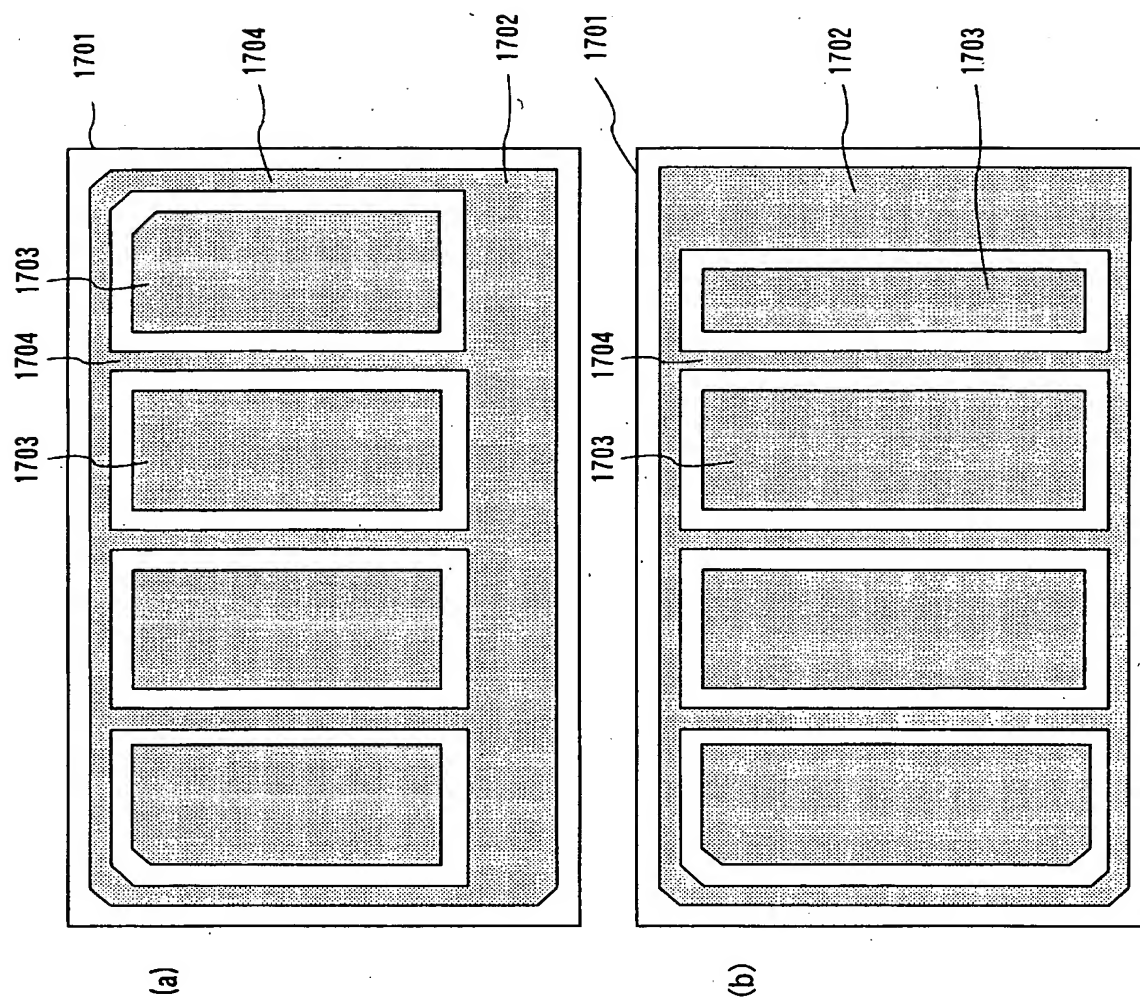
【図 16】



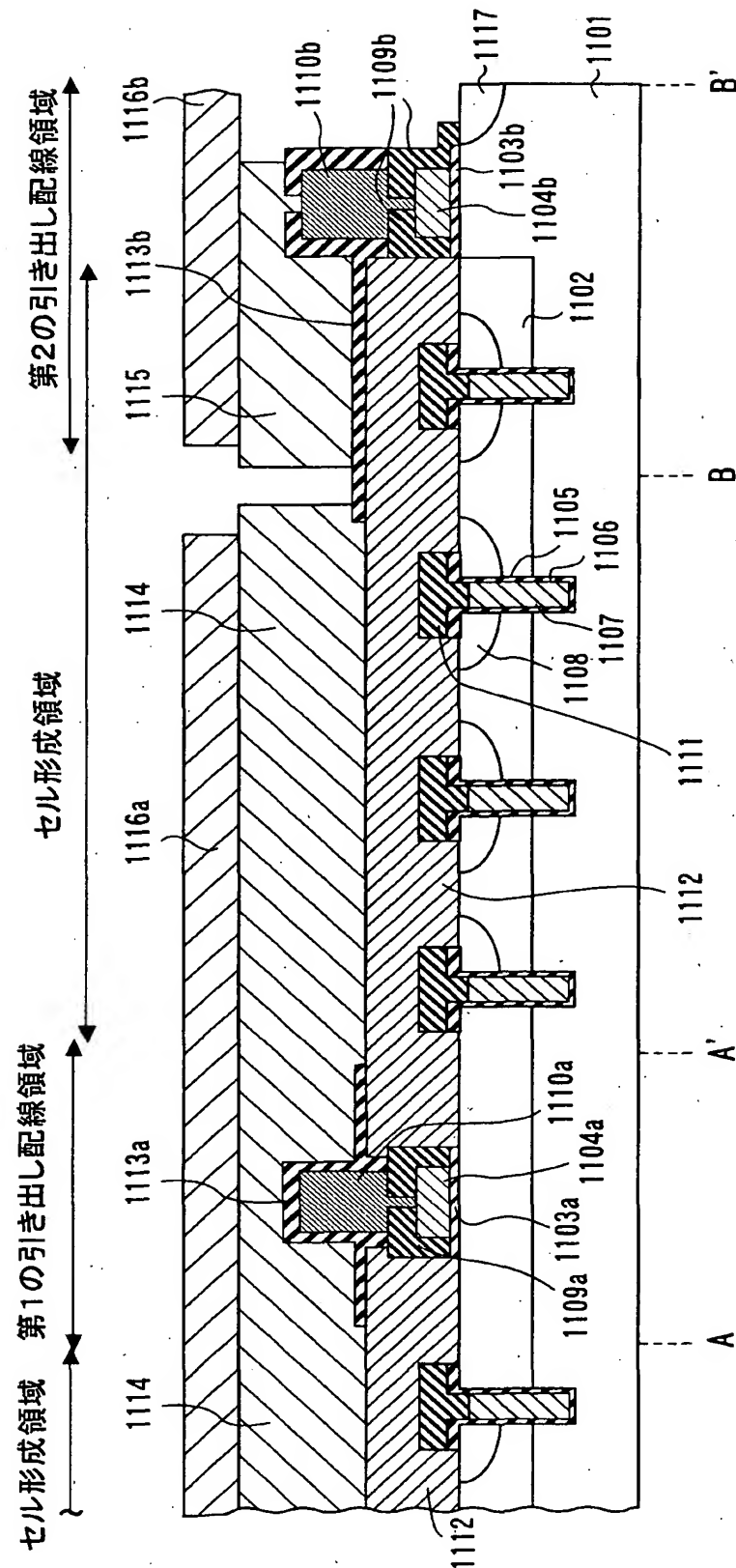
【図 1 7】



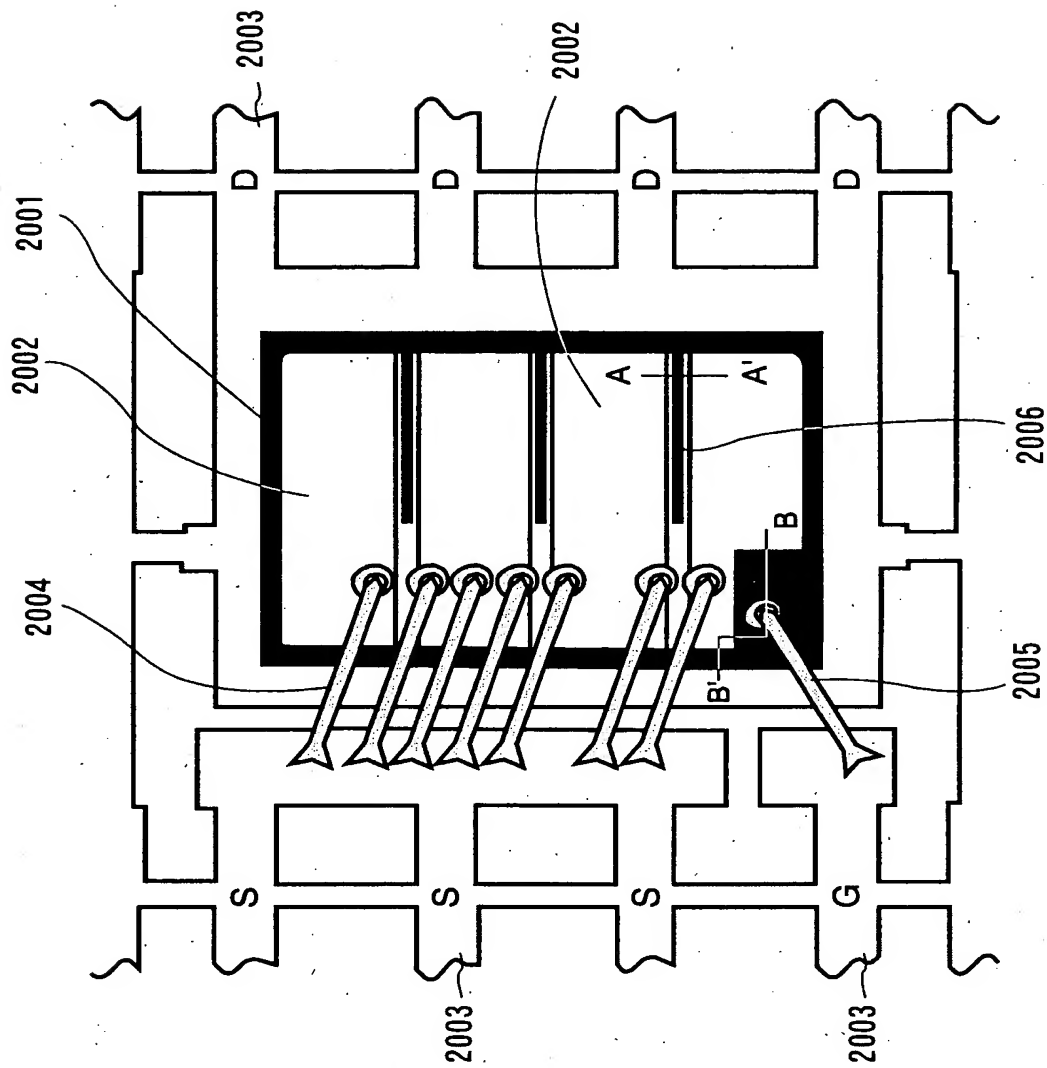
【図 18】



【図19】

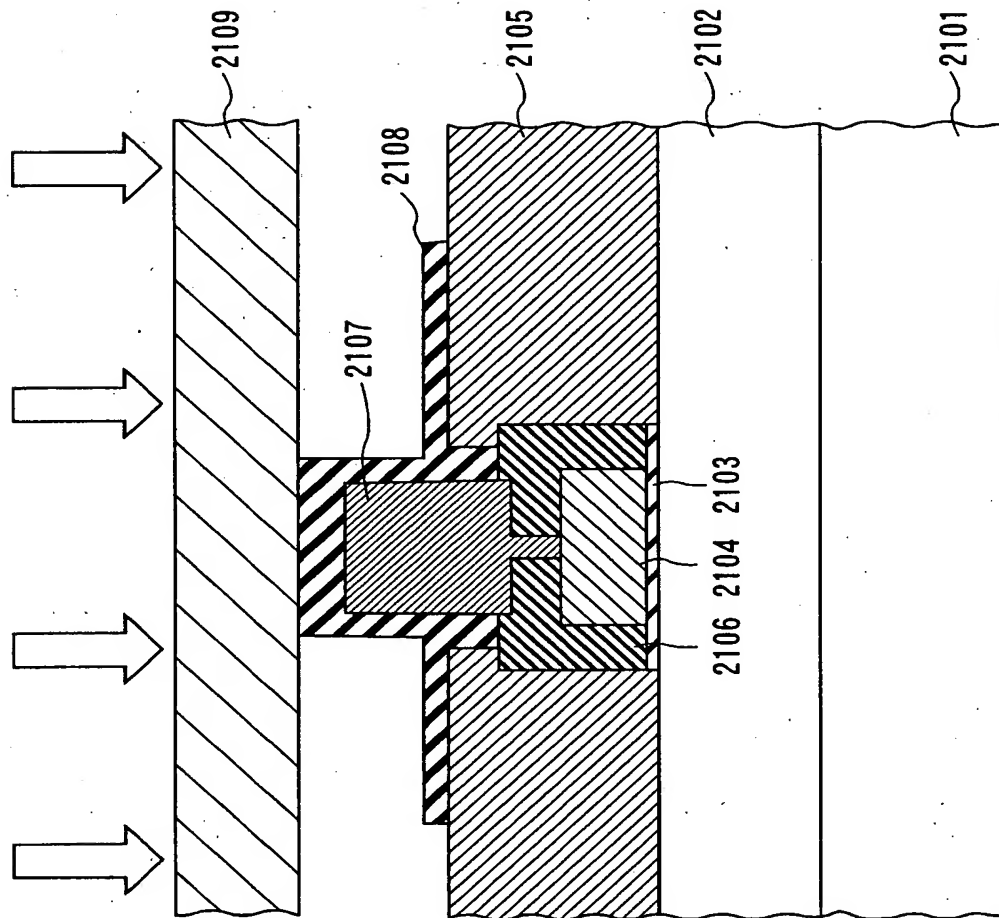


【図 20】

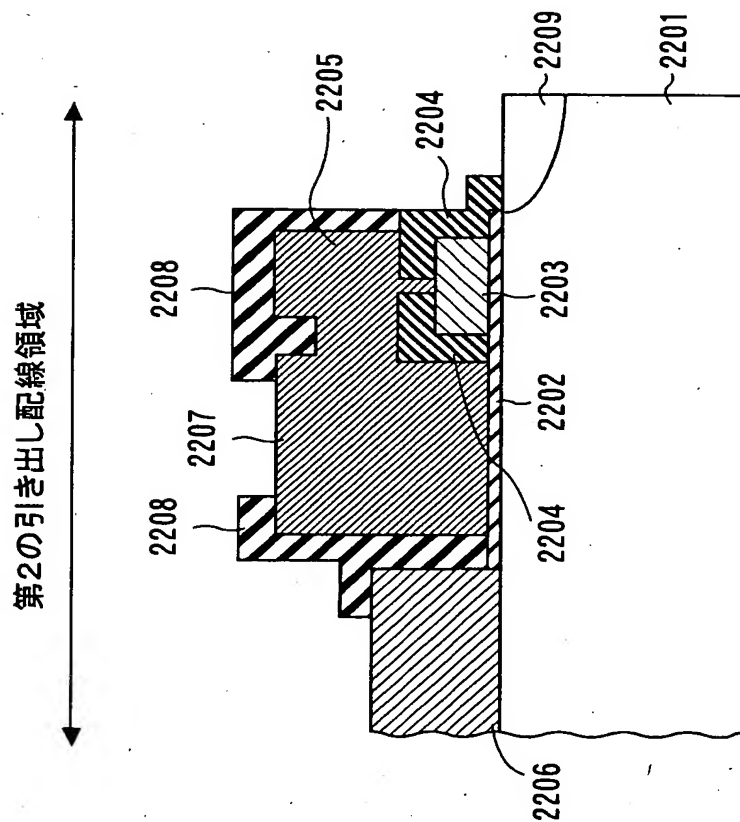




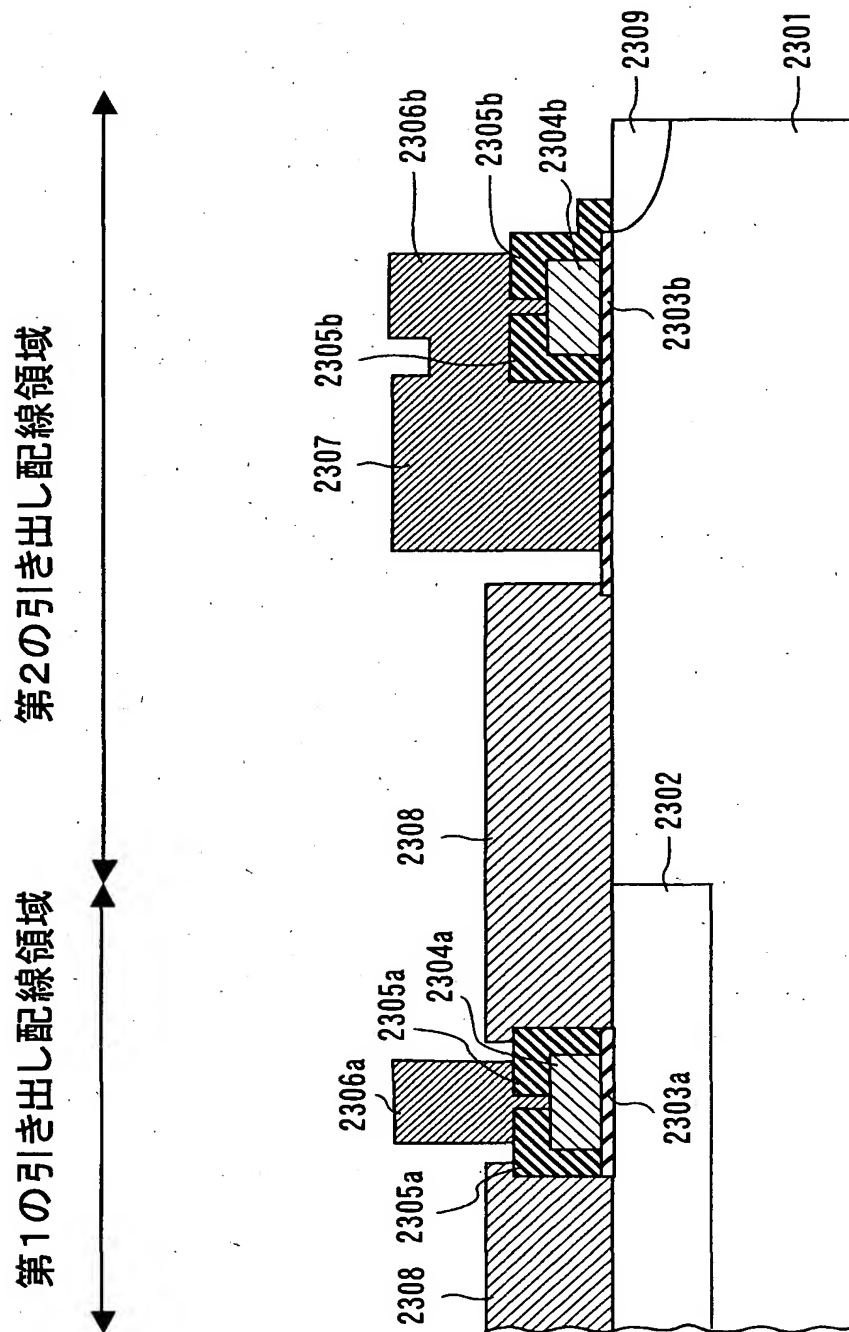
【図 2 1】



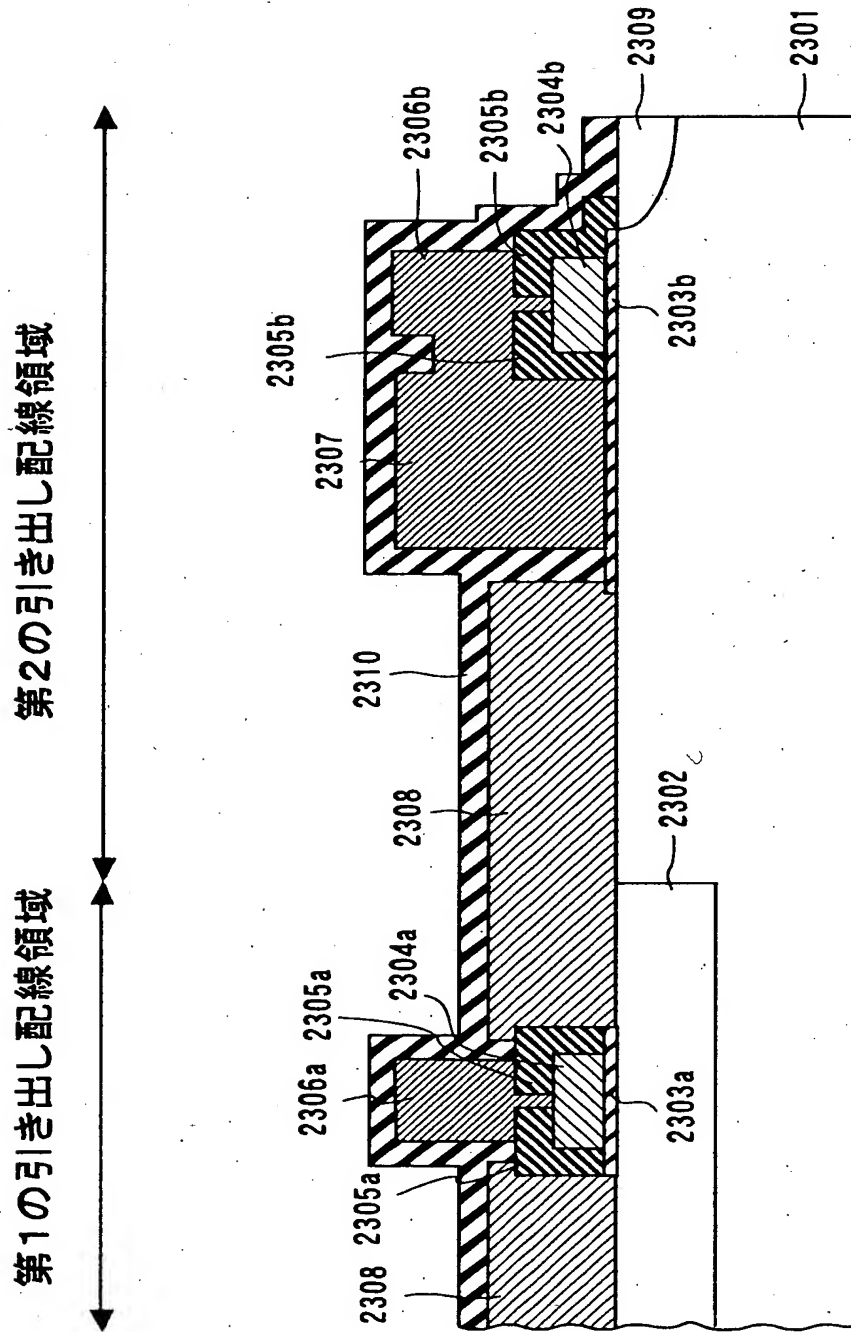
【図 22】



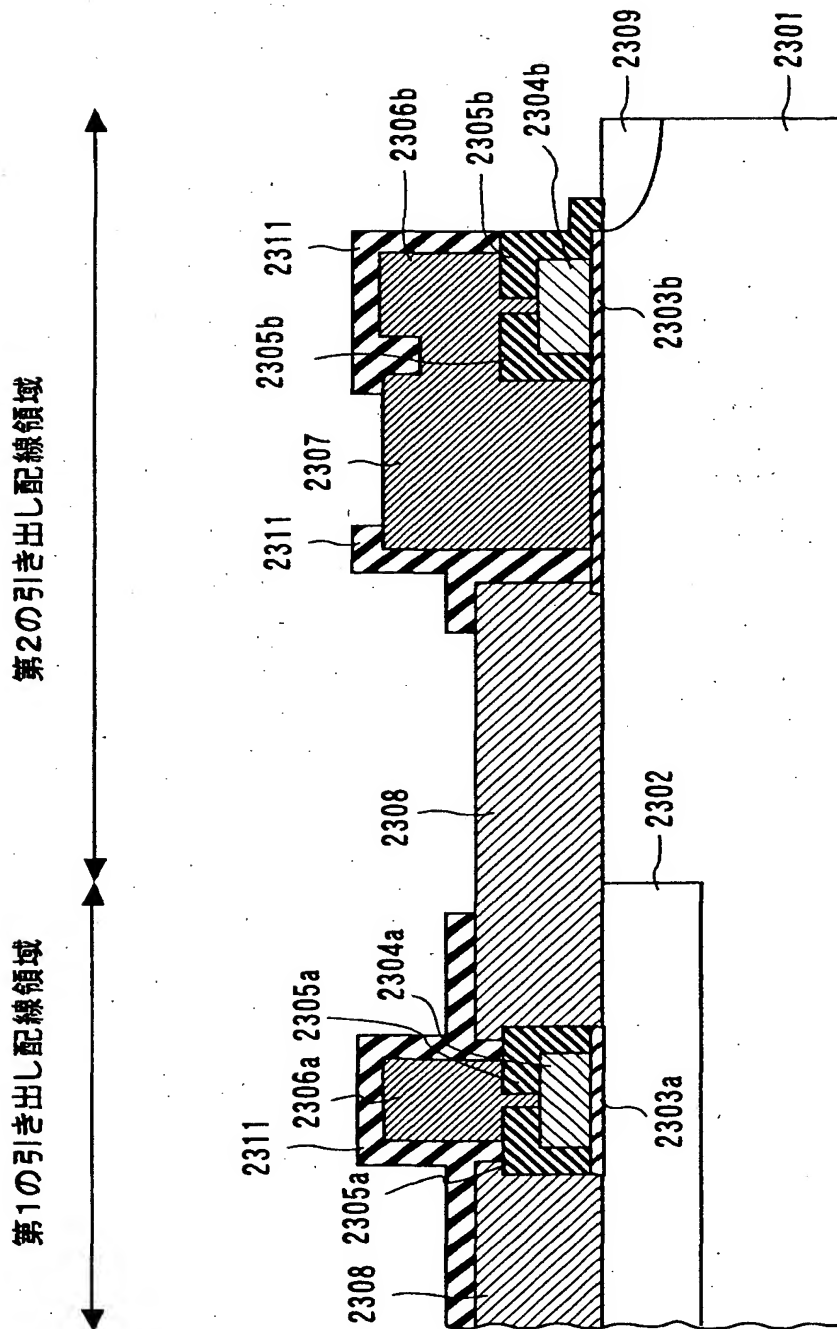
【図 23】



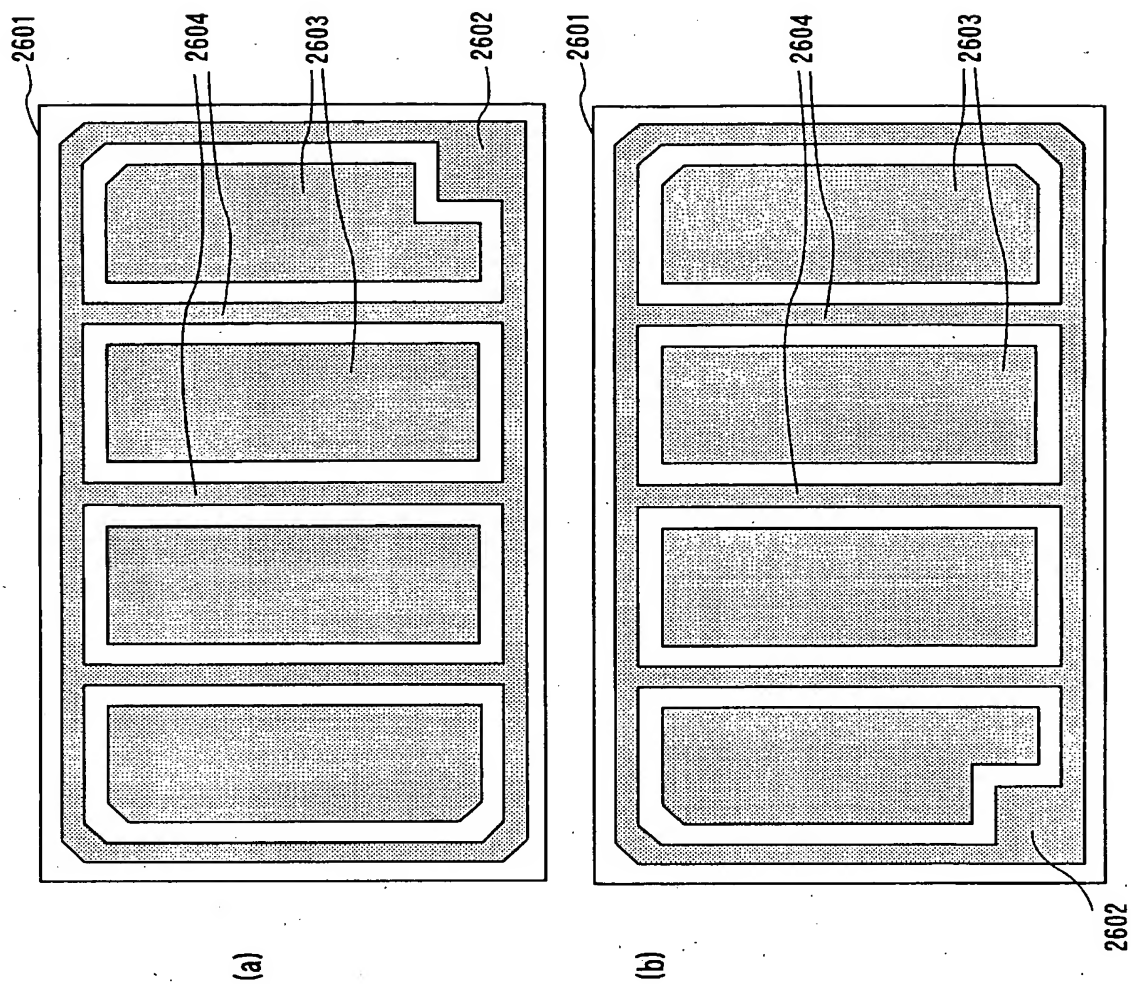
【図 24】



【図 25】



【图 2 6】



【書類名】 要約書

【要約】

【課題】 接続プレートの主電極に直接接続する際に、ショート不良を起こしにくい半導体装置を提供する。

【解決手段】 第1導電型の第1の半導体領域101、第2導電型のベース領域102、及び第1導電型の複数の第2の半導体領域108を含む半導体層と、前記半導体層上に第1の絶縁膜103を介して形成されたゲート配線104、110と、前記複数の第2の半導体領域108と電気的に接続されるとともに前記ゲート配線104、110と絶縁され、前記ゲート配線104、110がその間に配置されるように形成され、その上面が前記ゲート配線層104、110の最上層の上面よりも高く形成された複数の主電極部112、114と、前記主電極部112、114の最上層上に直接接続された接続プレート115とを具備した半導体装置である。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2002-295629
受付番号	50201518637
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年10月15日

<認定情報・付加情報>

【提出日】 平成14年10月 9日

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目1番1号

【氏名又は名称】 株式会社東芝

【代理人】 申請人

【識別番号】 100083161

【住所又は居所】 東京都港区芝浦1丁目1番1号 株式会社東芝本社  
社事務所内

【氏名又は名称】 外川 英明



出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝